

日本国特許庁  
JAPAN PATENT OFFICE

07/30/01  
09/916509  
JCG96 U.S. GOVT PTO

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日  
Date of Application: 2000年 7月31日

出願番号 Application Number: 特願 2000-232165

出願人  
Applicant(s): 株式会社東芝

2001年 5月30日

特許庁長官  
Commissioner,  
Japan Patent Office

# 及川耕造

出証番号 出証特2001-3047437

【書類名】 特許願

【整理番号】 A000003272

【提出日】 平成12年 7月31日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/08

【発明の名称】 半導体装置およびその製造方法

【請求項の数】 37

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

【氏名】 稲田 克彦

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項1】 基板上に形成された凸状半導体層と、

前記凸状半導体層の上部に、この凸状半導体層の上面と並行な方向に沿って互いに離間して形成されたソース領域およびドレイン領域と、

前記ソース領域と前記ドレイン領域間の前記凸状半導体層内に規定されたチャネル領域と、

少なくとも前記凸状半導体層の互いに相対する2つの側面に沿って前記凸状半導体層と絶縁された状態で形成され、少なくとも前記凸状半導体層の互いに相対する側面を介して、前記チャネル領域に電界効果を及ぼすゲート電極とを具備し

前記凸状半導体層の互いに相対する側面において、前記ソース領域と前記ドレイン領域間の距離が変化していることを特徴とする半導体装置。

【請求項2】 前記ソース領域と前記ドレイン領域間の距離は、前記凸状半導体層の上部よりも、前記凸状半導体層の下部の方が長いことを特徴とする請求項1記載の半導体装置。

【請求項3】 前記ソース領域の不純物濃度および前記ドレイン領域の不純物濃度は、前記凸状半導体層の上部よりも、前記凸状半導体層の下部の方が低いことを特徴とする請求項1記載の半導体装置。

【請求項4】 前記凸状半導体層の下部周辺領域に形成された素子分離絶縁膜を、さらに具備することを特徴とする請求項1記載の半導体装置。

【請求項5】 前記ゲート電極は、前記凸状半導体層の互いに相対する2つの側面に沿って前記ソース領域および前記ドレイン領域より下の領域まで形成されていることを特徴とする請求項1記載の半導体装置。

【請求項6】 前記基板から前記凸状半導体層の互いに相対する2つの側面の一方から他方までの幅は、 $0.2\mu m$ より小さいことを特徴とする請求項1記載の半導体装置。

【請求項7】 前記凸状半導体層の互いに相対する2つの側面の一方から他

方までの幅は、前記ソース領域の深さおよび前記ドレイン領域の深さより小さいことを特徴とする請求項1記載の半導体装置。

【請求項8】 前記ゲートに動作電圧が印加されているとき、前記チャネル領域は、完全に空乏化することを特徴とする請求項1記載の半導体装置。

【請求項9】 前記凸状半導体層の互いに相対する2つの側面それぞれと前記ゲート電極との間に形成された第1ゲート絶縁膜と、

前記凸状半導体層の上面と前記ゲート電極との間に形成された、前記第1ゲート絶縁膜より厚い第2ゲート絶縁膜とを、さらに具備することを特徴とする請求項1記載の半導体装置。

【請求項10】 前記凸状半導体層の互いに相対する2つの側面それぞれと前記ゲート電極との間に形成された第1ゲート絶縁膜と、

前記凸状半導体層の上面と前記ゲート電極との間に形成された、前記第1ゲート絶縁膜より薄い第2ゲート絶縁膜とを、さらに具備することを特徴とする請求項1記載の半導体装置。

【請求項11】 前記ソース領域および前記ドレイン領域の少なくとも一つは、濃い不純物濃度を持つ高濃度拡散層と、前記高濃度拡散層よりも薄い不純物濃度を持つ低濃度拡散層との2種類の拡散層を少なくとも含んで構成されることを特徴とする請求項1記載の半導体装置。

【請求項12】 前記基板上に形成された、少なくとも1つの第2凸状半導体層と、

前記第2凸状半導体層の上部に、この第2凸状半導体層の上面と並行な方向に沿って互いに離間して形成された前記ソース領域とは異なる導電型を持つ第2ソース領域、および前記ドレイン領域とは異なる導電型を持つ第2ドレイン領域と

前記第2ソース領域と前記第2ドレイン領域間の前記第2凸状半導体層内に規定された第2チャネル領域と、

少なくとも前記第2凸状半導体層の互いに相対する2つの側面に沿って前記第2凸状半導体層と絶縁された状態で形成され、少なくとも前記第2凸状半導体層の互いに相対する側面を介して、前記第2チャネル領域に電界効果を及ぼす第2

ゲート電極と、

をさらに具備し、

前記第2ソース領域の深さは前記ソース領域の深さと異なり、前記第2ドレイン領域の深さは前記ドレイン領域の深さと異なることを特徴とする請求項1記載の半導体装置。

【請求項13】 前記基板上に形成された、少なくとも1つの第2凸状半導体層と、

前記第2凸状半導体層の上部に、この第2凸状半導体層の上面と並行な方向に沿って互いに離間して形成された前記ソース領域と同じ導電型を持つ第2ソース領域、および前記ドレイン領域と同じ導電型を持つ第2ドレイン領域と、

前記第2ソース領域と前記第2ドレイン領域間の前記第2凸状半導体層内に規定された第2チャネル領域と、

少なくとも前記第2凸状半導体層の互いに相対する2つの側面に沿って前記第2凸状半導体層と絶縁された状態で形成され、少なくとも前記第2凸状半導体層の互いに相対する側面を介して、前記第2チャネル領域に電界効果を及ぼす第2ゲート電極と、

をさらに具備し、

前記第2ソース領域の深さは前記ソース領域の深さと異なり、前記第2ドレイン領域の深さは前記ドレイン領域の深さと異なることを特徴とする請求項1記載の半導体装置。

【請求項14】 前記基板上に形成された、少なくとも1つの第2凸状半導体層と、

前記第2凸状半導体層の上部に、この第2凸状半導体層の上面と並行な方向に沿って互いに離間して形成された前記第2ソース領域および第2ドレイン領域と、

前記第2ソース領域と前記第2ドレイン領域間の前記第2凸状半導体層内に規定された第2チャネル領域と、

少なくとも前記第2凸状半導体層の互いに相対する2つの側面に沿って前記第2凸状半導体層と絶縁された状態で形成され、少なくとも前記第2凸状半導体層

の互いに相対する側面を介して、前記第2チャネル領域に電界効果を及ぼす第2ゲート電極と、をさらに具備し、

前記第2ソース領域を前記ソース領域に電気的に接続し、前記第2ドレイン領域を前記ドレイン領域に電気的に接続し、前記第2ゲート電極を前記ゲート電極に電気的に接続したことを特徴とする請求項1記載の半導体装置。

【請求項15】 前記ソース領域および前記ドレイン領域はそれぞれ、電気的コンタクト部を含み、

前記電気的コンタクト部は、前記凸状半導体層の上面の一部、および前記凸状半導体層の互いに相対する2つの側面の一部それぞれに跨っていることを特徴とする請求項1記載の半導体装置。

【請求項16】 前記ソース領域および前記ドレイン領域はそれぞれ、電気的コンタクト部を含み、

前記電気的コンタクト部は、前記凸状半導体層の上面の一部、前記凸状半導体層の互いに相対する2つの側面の一部、および前記互いに相対する2つの側面それぞれに接した前記凸状半導体層の他側面の一部それぞれに跨っていることを特徴とする請求項1記載の半導体装置。

【請求項17】 前記凸状半導体層は、前記基板に電気的に接続されていることを特徴とする請求項1記載の半導体装置。

【請求項18】 前記凸状半導体層は、前記基板に電気的に分離されていることを特徴とする請求項1記載の半導体装置。

【請求項19】 前記基板は、導電性であることを特徴とする請求項1記載の半導体装置。

【請求項20】 前記基板は、絶縁性であることを特徴とする請求項1記載の半導体装置。

【請求項21】 少なくとも前記凸状半導体層の互いに相対する2つの側面それぞれと前記ゲート電極との間に形成されたゲート絶縁膜をさらに具備し、

前記ゲート絶縁膜は、Ta、Sr、Al、Si、Zr、Hf、LaおよびTiの少なくともいずれか1つを含む酸化物からなることを特徴とする請求項1記載の半導体装置。

【請求項22】 前記凸状半導体層の形状は、前記基板に対して順テーパー形状であることを特徴とする請求項1記載の半導体装置。

【請求項23】 前記凸状半導体層の下部領域の形状は、前記基板に対して順テーパー形状であることを特徴とする請求項1記載の半導体装置。

【請求項24】 前記凸状半導体層の上部コーナーの角度は、90度より大きいことを特徴とする請求項1記載の半導体装置。

【請求項25】 前記凸状半導体層の上部コーナーの形状は、ラウンド形状であることを特徴とする請求項1記載の半導体装置。

【請求項26】 前記チャネル領域の不純物濃度は、このチャネル領域の下部に形成されている半導体層よりも、不純物濃度が低いことを特徴とする請求項1記載の半導体装置。

【請求項27】 基板上に形成された凸状半導体層と、  
前記凸状半導体層の上部に、この凸状半導体層の上面と並行な方向に沿って互いに離間して形成されたソース領域およびドレイン領域と、

前記ソース領域と前記ドレイン領域間の前記凸状半導体層内に規定されたチャネル領域と、

少なくとも前記凸状半導体層の互いに相対する2つの側面に沿って前記凸状半導体層と絶縁された状態で形成され、少なくとも前記凸状半導体層の互いに相対する側面を介して、前記チャネル領域に電界効果を及ぼすゲート電極と、

前記基板と前記ソース領域間、前記基板と前記ドレイン領域間、および前記基板と前記チャネル領域間それぞれに跨って形成された、前記チャネル領域よりも不純物濃度が高い半導体層と、

を具備することを特徴とする半導体装置。

【請求項28】 基板上に形成された凸状半導体層と、  
前記凸状半導体層の上部に、この凸状半導体層の上面と並行な方向に沿って互いに離間して形成されたソース領域およびドレイン領域と、

前記ソース領域と前記ドレイン領域間の前記凸状半導体層内に規定されたチャネル領域と、

少なくとも前記凸状半導体層の互いに相対する2つの側面に沿って前記凸状半

導体層と絶縁された状態で形成され、少なくとも前記凸状半導体層の互いに相対する側面を介して、前記チャネル領域に電界効果を及ぼすゲート電極と、

前記凸状半導体層の下部周辺領域に形成された、前記凸状半導体層の側面の延長面よりも、前記凸状半導体層側に延在しない絶縁膜と、

を具備することを特徴とする半導体装置。

【請求項29】 基板上に形成された凸状半導体層と、

前記凸状半導体層の上部に、この凸状半導体層の上面と並行な方向に沿って互いに離間して形成されたソース領域およびドレイン領域と、

前記ソース領域と前記ドレイン領域間の前記凸状半導体層内に規定されたチャネル領域と、

少なくとも前記凸状半導体層の互いに相対する2つの側面に沿って前記凸状半導体層と絶縁された状態で形成され、少なくとも前記凸状半導体層の互いに相対する側面を介して、前記チャネル領域に電界効果を及ぼす、前記凸状半導体層の下部において、前記ソース領域および前記ドレイン領域それぞれとオフセットしたゲート電極と、

を具備することを特徴とする半導体装置。

【請求項30】 基板上に形成された凸状半導体層と、

前記凸状半導体層の上部に、この凸状半導体層の上面と並行な方向に沿って互いに離間して形成されたソース領域およびドレイン領域と、

前記ソース領域と前記ドレイン領域間の前記凸状半導体層内に規定されたチャネル領域と、

少なくとも前記凸状半導体層の互いに相対する2つの側面に沿って前記凸状半導体層と絶縁された状態で形成され、少なくとも前記凸状半導体層の互いに相対する側面を介して、前記チャネル領域に電界効果を及ぼすゲート電極と、

前記ゲート電極の側面、および前記凸状半導体層の側面の少なくとも一部に形成された側壁絶縁膜と、

を具備することを特徴とする半導体装置。

【請求項31】 基板上に形成された凸状半導体層と、

前記凸状半導体層の上部に、この凸状半導体層の上面と並行な方向に沿って互

いに離間して形成されたソース領域およびドレイン領域と、

前記ソース領域と前記ドレイン領域間の前記凸状半導体層内に規定されたチャネル領域と、

少なくとも前記凸状半導体層の互いに相対する2つの側面に沿って前記凸状半導体層と絶縁された状態で形成され、少なくとも前記凸状半導体層の互いに相対する側面を介して、前記チャネル領域に電界効果を及ぼすゲート電極とを具備し

前記凸状半導体層は、前記基板上に形成されたエピタキシャル半導体層で構成されていることを特徴とする半導体装置。

【請求項32】 基板上に形成された凸状半導体層と、

前記凸状半導体層の上部に、この凸状半導体層の上面と並行な方向に沿って互いに離間して形成されたソース領域およびドレイン領域と、

前記ソース領域と前記ドレイン領域間の前記凸状半導体層内に規定されたチャネル領域と、

前記凸状半導体層の上面および前記凸状半導体層の互いに相対する2つの側面に沿って前記凸状半導体層と絶縁された状態で形成され、少なくとも前記凸状半導体層の互いに相対する側面を介して、前記チャネル領域に電界効果を及ぼすゲート電極と、

前記ゲート電極に、前記凸状半導体層の上面の上方で電気的にコンタクトされる配線と、

を具備することを特徴とする半導体装置。

【請求項33】 基板上に形成された、少なくとも2つの第1、第2凸状半導体層と、

前記第1凸状半導体層の上部に、この第1凸状半導体層の上面と並行な方向に沿って互いに離間して形成された第1ソース領域および第1ドレイン領域と、

前記第1ソース領域と前記第1ドレイン領域間の前記凸状半導体層内に規定された第1チャネル領域と、

前記第2凸状半導体層の上部に、この第2凸状半導体層の上面と並行な方向に沿って互いに離間して形成された第2ソース領域および第2ドレイン領域と、

前記第2ソース領域と前記第2ドレイン領域間の前記凸状半導体層内に規定された第2チャネル領域と、

少なくとも前記第1凸状半導体層の互いに相対する2つの側面、並びに少なくとも前記第2凸状半導体層の互いに相対する2つの側面に沿ってこれら第1、第2凸状半導体層と絶縁された状態で形成され、少なくともこれら第1、第2凸状半導体層の互いに相対する側面を介して、前記第1、第2チャネル領域それぞれに共通に電界効果を及ぼすゲート電極とを具備し、

前記第1、第2凸状半導体層の幅は、互いに揃えられていることを特徴とする半導体装置。

【請求項34】 基板上に形成された、少なくとも2つの第1、第2凸状半導体層と、

前記第1凸状半導体層の上部に、この第1凸状半導体層の上面と並行な方向に沿って互いに離間して形成された第1ソース領域および第1ドレイン領域と、

前記第1ソース領域と前記第1ドレイン領域間の前記凸状半導体層内に規定された第1チャネル領域と、

前記第2凸状半導体層の上部に、この第2凸状半導体層の上面と並行な方向に沿って互いに離間して形成された第2ソース領域および第2ドレイン領域と、

前記第2ソース領域と前記第2ドレイン領域間の前記凸状半導体層内に規定された第2チャネル領域と、

少なくとも前記第1凸状半導体層の互いに相対する2つの側面に沿って前記第1凸状半導体層と絶縁された状態で形成され、前記第1凸状半導体層の互いに相対する側面を介して、前記第1チャネル領域に電界効果を及ぼす第1ゲート電極と、

少なくとも前記第2凸状半導体層の互いに相対する2つの側面に沿って前記第2凸状半導体層と絶縁された状態で形成され、前記第2凸状半導体層の互いに相対する側面を介して、前記第2チャネル領域に電界効果を及ぼす第2ゲート電極とを具備し、

前記第1、第2凸状半導体層の幅は、互いに揃えられていることを特徴とする半導体装置。

【請求項35】 基板上に凸状半導体層を形成する工程と、  
酸素ラジカルを用いて前記凸状半導体層を酸化し、少なくとも前記凸状半導体  
層の側面上にゲート絶縁膜を形成する工程と、  
前記ゲート絶縁膜上に、少なくとも前記凸状半導体層の側面に沿った部分を持  
つゲート電極を形成する工程と、  
少なくとも前記ゲート電極をマスクに用いて前記凸状半導体層内に不純物を導  
入し、前記凸状半導体層内にソース領域およびドレイン領域を形成する工程と、  
を具備することを特徴とする半導体装置の製造方法。

【請求項36】 半導体基板をエッティングし、この半導体基板に凸状半導体  
層を形成する工程と、  
少なくとも前記凸状半導体層の側面上にゲート絶縁膜を形成する工程と、  
前記ゲート絶縁膜上に、少なくとも前記凸状半導体層の側面に沿った部分を持  
つゲート電極を形成する工程と、  
少なくとも前記ゲート電極をマスクに用いて前記凸状半導体層内に不純物を導  
入し、前記凸状半導体層内にソース領域およびドレイン領域を形成する工程と、  
を具備することを特徴とする半導体装置の製造方法。

【請求項37】 半導体基板上に、開孔を有する絶縁膜を形成する工程と、  
前記開孔から露出した半導体基板上に、凸状半導体層を形成する工程と、  
少なくとも前記凸状半導体層の側面上にゲート絶縁膜を形成する工程と、  
前記ゲート絶縁膜上に、少なくとも前記凸状半導体層の側面に沿った部分を持  
つゲート電極を形成する工程と、  
少なくとも前記ゲート電極をマスクに用いて前記凸状半導体層内に不純物を導  
入し、前記凸状半導体層内にソース領域およびドレイン領域を形成する工程と、  
を具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、この発明は、MOS型トランジスタ構造に関し、特に基板にほぼ  
垂直な凸状の半導体層において両側の側面にゲート絶縁膜を介して形成したゲー

ト電極を持ち、ソース／ドレイン領域の深さによりチャネル幅が決定されるMOS型トランジスタ構造とその製造方法に使用されるものである。

#### 【0002】

##### 【従来の技術】

MOS型構造を有する半導体デバイスでは、MOSFETの高性能化が大きな課題である。MOSFETの高性能化とは、

- (1) 駆動電流の増加、
- (2) しきい値バラツキの低減、
- (3) 寄生抵抗／寄生容量の低減、
- (4) カットオフ特性の向上、

等を示している。駆動電流を増加させるには、ゲート寸法（チャネル寸法、ゲート長とも言う）を短くして達成してきた。しかし、ショートチャネル化すると、ショートチャネル効果が増大して来ると言う問題もある。

#### 【0003】

ショートチャネル効果を抑えるために、ゲート酸化膜の膜厚をできるだけ薄くしたり、チャネル部の不純物濃度を $10^8 \text{ cm}^{-3}$ 程度まで高濃度化して、ソース、ドレイン間のパンチスルーを防止する努力が行われてきた。しかし、信頼性を保証できる最大許容電界（E<sub>max</sub>）による制限から、ゲート酸化膜の膜厚を最大許容電界以上に薄くできない。

#### 【0004】

また、過度のチャネル不純物濃度の高濃度化は、チャネルの高濃度不純物の散乱によるドレイン電流の飽和をもたらし、ショートチャネル化してもドレイン電流が増加しないという問題が顕著になってきている。

#### 【0005】

さらに、微細化に伴い、ゲート電極の高抵抗化やソース／ドレインの寄生抵抗の増加が問題となってきている。その上さらに、ソース、ドレイン間のパンチスルーが起こりやすくなっているので、サブスレッショルド領域においてリーク電流が増加し、カットオフ特性が劣化してきている。

#### 【0006】

このような問題を解決するために、Si基板ほぼ垂直に凸型の直方体を形成し、その両側面をチャネル領域として使う構造が提案されている。

#### 【0007】

例えばIEDM Technical Digest pp. 736-739 (1987) (K. Hieda他) に開示されているように、STI (Shallow Trench Isolation) 分離した側面を少し露出し、側面をチャネル領域として使用する構造がある（図68）。

#### 【0008】

この文献には、チャネル幅が小さく ( $< 0.3 \mu\text{m}$ ) なってくると側面のゲート電極の影響で両側のチャネル領域の空乏層は互いに接触し、平面部よりもコナーを含む側面部の影響が大きくなり、カットオフ特性が向上するなどの特徴が示されている。しかし、ショートチャネル効果の抑制等についての説明は示されていない。

#### 【0009】

また、例えばIEDM Technical Digest pp. 833-836 (1989) (D. Hisamoto他) に開示されているように、Si基板をRIEし、細長い凸状のフェンスを形成し、その下部を酸化してSOI構造を作り、両側面のゲート電極を形成している構造が提案されている（図69）。

#### 【0010】

この場合もチャネル幅が小さく ( $< 0.2 \mu\text{m}$ ) なってくると側面のゲート電極の影響で両側のチャネル領域の空乏層は互いに接触し、チャネル領域では完全に空乏化した状態が作られる。即ち、薄膜SOI構造における完全空乏化と同じ状況がSi基板で実現できている。しかし、この構造はSOI構造となっていて、基板バイアスを印加することができない構造であり、ソース／ドレインとゲート電極の位置関係については記述されていない。

#### 【0011】

また、例えばIEDM Technical Digest pp. 1032-1034 (1998) (D. Hisamoto他) に開示されているように、

SOI基板を用いたフィン型の構造が提案されている（図70）。

#### 【0012】

この文献では、20nm程度のSiフィン（Fin）を形成することで、30nm程度のチャネル長までショートチャネル効果が抑えられることが示されている。しかし、SOI構造のため、図69と同じように基板バイアスを印加することができない構造である。また、SOI層の膜厚バラツキがMOSFET特性バラツキに直接、影響を与える構造である。

#### 【0013】

これら文献に開示されたデバイスでは、カットオフ特性の改善やショートチャネル効果の抑制は実現できているが、基板バイアスを印可することができないため、完全空乏化したチャネルを持つ薄膜SOIのトランジスタの場合と同じように蓄積ホール（Nチャネルの場合）の影響によるソース／ドレイン耐圧の劣化が問題となる。

#### 【0014】

上記問題を解消するためには、細い凸型の形状を形成し、両側面に形成したゲート電極によりチャネルを完全空乏化し、カットオフ特性の改善、ショートチャネル効果を抑制するととともに、基板バイアスを印加できる構造を実現する必要がある。

#### 【0015】

##### 【発明が解決しようとする課題】

この発明は、上記実状に鑑みてなされたもので、その第1の目的は、カットオフ特性の改善を図ることが可能な構造を持つ、少なくとも凸状半導体層の側面の一部をチャネル領域として使う半導体装置およびその製造方法を提供することにある。

#### 【0016】

また、その第2の目的は、ゲート電界集中の緩和が可能な構造を持つ、少なくとも凸状半導体層の側面の一部をチャネル領域として使う半導体装置およびその製造方法を提供することにある。

#### 【0017】

また、その第3の目的は、駆動能力の向上を図ることが可能な構造を持つ、少なくとも凸状半導体層の側面の一部をチャネル領域として使う半導体装置およびその製造方法を提供することにある。

【0018】

また、その第4の目的は、ゲート特性の調節が可能な構造を持つ、少なくとも凸状半導体層の側面の一部をチャネル領域として使う半導体装置およびその製造方法を提供することにある。

【0019】

また、その第5の目的は、例えば100nm以下のチャネル長を実現するMOSFETの製造が容易となる構造を持つ、少なくとも凸状半導体層の側面の一部をチャネル領域として使う半導体装置およびその製造方法を提供することにある。

【0020】

また、その第6の目的は、駆動能力を損なうことなく平面面積の縮小が可能な構造を持つ、少なくとも凸状半導体層の側面の一部をチャネル領域として使う半導体装置およびその製造方法を提供することにある。

【0021】

【課題を解決するための手段】

この発明に係る半導体装置は主として、基板上に形成された凸状半導体層と、前記凸状半導体層の上部に、この凸状半導体層の上面と並行な方向に沿って互いに離間して形成されたソース領域およびドレイン領域と、前記ソース領域と前記ドレイン領域間の前記凸状半導体層内に規定されたチャネル領域と、少なくとも前記凸状半導体層の互いに相対する2つの側面に沿って前記凸状半導体層と絶縁された状態で形成され、少なくとも前記2つの相対する側面を介して、前記チャネル領域に電界効果を及ぼすゲート電極とを具備する。

【0022】

そして、上記第1～第6の目的を達成するために、下記構成の少なくともいずれか一つを具備することを特徴とする。

【0023】

(カットオフ特性の改善)

上記第1の目的を達成するために、この発明の第1の態様では、凸状半導体層の互いに相対する2つの側面において、ソース領域とドレイン領域との間の距離を変化させることを特徴としている。

【0024】

また、上記第1の目的を達成するために、この発明の第2の態様では、ソース／ドレイン領域およびチャネル領域の下方に、高濃度不純物層を設けることを特徴としている。

【0025】

また、上記第1の目的を達成するために、この発明の第3の態様では、凸状半導体層の互いに相対する2つの側面の一部、好ましくはその下部領域において、ソース／ドレイン領域とゲート電極とを互いにオフセットさせることを特徴としている。

【0026】

(ゲート電界集中の緩和)

また、上記第2の目的を達成するために、この発明の第4の態様では、凸状半導体層の上面に形成されたゲート絶縁膜を、その側面に形成されたゲート絶縁膜よりも厚くすることを特徴としている。

【0027】

また、上記第2の目的を達成するために、この発明の第5の態様では、凸状半導体層の側面に形成されたゲート絶縁膜を、その上面に形成されたゲート絶縁膜よりも厚くすることを特徴としている。

【0028】

また、上記第2の目的を達成するために、この発明の第6の態様では、凸状半導体層の上部コーナーの角度を、90度より大きくすることを特徴としている。

【0029】

また、上記第2の目的を達成するために、この発明の第7の態様では、凸状半導体層の上部コーナーの形状を、ラウンド形状とすることを特徴としている。

【0030】

(駆動能力の向上)

また、上記第3の目的を達成するために、この発明の第8の態様では、ソース／ドレイン領域の深さを、凸状半導体層の下部領域周囲に形成された素子分離絶縁膜の上面の幅よりも深くすることを特徴としている。

【0031】

また、上記第3の目的を達成するために、この発明の第9の態様では、凸状半導体層を複数設け、これら複数の凸状半導体層それぞれに形成されたソース／ドレイン領域、およびゲート電極を共通化することを特徴としている。

【0032】

また、上記第3の目的を達成するために、この発明の第10の態様では、凸状半導体層を平面的に折曲させて互いに対向させ、対向部分それぞれに共通のゲート電極を形成し、凸状半導体層のソース／ドレイン領域を含む領域の一部を互いに結合させることを特徴としている。

【0033】

(ゲート特性の調節)

また、上記第4の目的を達成するために、この発明の第11の態様では、少なくとも凸状半導体層の第1側面およびこの第1側面に相対する第2側面に第1ゲート電極を形成し、凸状半導体層の上面に前記第1ゲート電極とは異なる材料を用いた第2ゲート電極を形成することを特徴としている。

【0034】

(製造の容易化)

また、上記第5の目的を達成するために、この発明の第12の態様では、凸状半導体層を順テーパー形状とすることを特徴としている。

【0035】

また、上記第5の目的を達成するために、この発明の第13の態様では、凸状半導体層の下部領域を、順テーパー形状とすることを特徴としている。

【0036】

また、上記第5の目的を達成するために、この発明の第14の態様では、凸状半導体層の底部コーナーを、順テーパー形状とすることを特徴としている。

【0037】

また、上記第5の目的を達成するために、この発明の第15の態様では、素子分離領域の底部コーナーを、ラウンド形状とすることを特徴としている。

【0038】

また、上記第5の目的を達成するために、この発明の第16の態様では、凸状半導体層の周囲の素子分離絶縁膜を、素子分離絶縁膜の中心に向かって低くすることを特徴としている。

【0039】

(駆動能力を損なうことのない平面面積の縮小)

また、上記第6の目的を達成するために、この発明の第17の態様では、凸状半導体層に形成されたNMOSETのN型ソース／ドレイン領域の深さと、他の凸状半導体層に形成されたPMOSFETのP型ソース／ドレイン領域の深さと、を互いに異ならせることを特徴としている。

【0040】

また、上記第6の目的を達成するために、この発明の第18の態様では、凸状薄膜Si層に形成されたNMOSET（またはPMOSFET）のソース／ドレイン領域の深さと、他の凸状薄膜Si層に形成されたNMOSET（またはPMOSFET）のソース／ドレイン領域の深さと互いに異ならせることを特徴としている。

【0041】

【発明の実施の形態】

以下、この発明の実施形態を、図面を参照して説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0042】

（第1実施形態）

図1はこの発明の第1実施形態に係るMOSFETを示す斜投影図、図2Aはその平面図、図2Bは図2A中の2B-2B線に沿う断面図、図2Cは図2A中の2C-2C線に沿う断面図、図2Dは図2A中の2D-2D線に沿う断面図である。なお、図1、図2B～図2Dでは、図2Aに示す層間絶縁膜、コンタクト

および配線をそれぞれ省略している。

#### 【0043】

図1、図2A～図2Dに示すように、P型Si（シリコン）基板10のトランジスタ形成領域にはP型ウェル11が形成されている。P型Si基板10は、例えば $5 \times 10^{15} \text{ cm}^{-3}$ 程度の不純物濃度を持ち、その正面の面方位は(100)である。P型ウェル11中のトランジスタ・チャネル形成領域には、例えば $5 \times 10^{17} \text{ cm}^{-3}$ 程度の不純物濃度を持つP型高濃度不純物層（以下パンチスルーストッパー層）12が形成されている。このパンチスルーストッパー層12は必要に応じて形成されるものであり、省略することも可能である。

#### 【0044】

Si基板10上には、凸状薄膜Si（シリコン）層13が形成されている。凸状薄膜Si層13の一設計例は、高さ約250nm、幅約70nm、長さ約440nmである。本例の凸状薄膜Si層13の下部領域には、例えばP型ウェル11の上部、およびパンチスルーストッパー層12がそれぞれ含まれている。そして、この下部領域の周辺には、素子分離用の素子分離絶縁膜（シリコン酸化膜）14が形成されている。

#### 【0045】

凸状薄膜Si層13内のパンチスルーストッパー層12上には、チャネル不純物層（チャネル領域）15が形成されている。チャネル不純物層15には、MOSFETのしきい値電圧が所望の値になるように、不純物がドープされている。

#### 【0046】

凸状薄膜Si層13の長辺方向（長さ方向）には、ゲート電極16を挟んでソース／ドレイン領域17が形成されている。ゲート電極16は、凸状薄膜Si層13の両側面にゲート絶縁膜18を介して、凸状薄膜Si層13の段差を乗り越えるように形成されている。チャネル幅（Wg）は、凸状薄膜Si層13の短辺方向の幅で決まる。また、ゲート長（Lg）は、ゲート電極16の長さによって主に決まる。但し、実効チャネル長は、ゲート電極16の凸状薄膜Si層13の側面におけるソース／ドレイン領域17の距離によって決まるものである。

## 【0047】

さらにゲート電極16は、素子分離絶縁膜14上と、凸状薄膜Si層13の両側面と上面とに形成されており、これら側面および上面において、ソース／ドレイン領域17の一部、チャネル領域15、およびパンチスルー・ストッパー層12の一部を覆うように形成されている。

## 【0048】

次に、以上説明した構造のMOSFETの製造工程を、図3から図11の工程断面図を用いて説明する。なお、図3A～図11Aに示す断面は図2Bに示す断面に対応し、図3B～図11Bに示す断面は図2Cに示す断面に対応している。

## 【0049】

まず、図3A、図3Bに示すように、不純物濃度 $5 \times 10^{15} \text{ cm}^{-3}$ 程度の面方位(100)P型Si基板10のトランジスタ・チャネル領域に、NMOSFETを形成する場合にはP型ウェル11(ピーク不純物濃度で、例えば $4 \times 10^{17} \text{ cm}^{-3}$ 程度)を、例えばボロンイオン( $B^+$ )を、加速電圧260KeV、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ 程度イオン注入することにより形成する。また、PMOSFETを形成する場合にはNウェル(図示せず)を形成する。

## 【0050】

次に、P型ウェル11中の、少なくともトランジスタ・チャネル形成領域を含む領域に、レジスト膜(図示せぬ)をマスクに用いて、例えばボロンイオン( $B^+$ )をイオン注入し、ピーク濃度で $2 \times 10^{18} \text{ cm}^{-3}$ 程度の不純物濃度を持つ高濃度不純物層12を形成する。この高濃度不純物層12は、パンチスルー・ストッパー層として機能する。これらのイオン注入工程時、Si基板10表面に、8nm程度の膜厚の酸化膜(図示せず)を形成しておく。このようにして、レジスト膜(図示せず)からのSi基板10への汚染、例えばメタル汚染を防止する。また、注入されたイオンの活性化には、例えば900°C、窒素( $N_2$ )雰囲気中で5分程度のRTA(Rapid Thermal Anneal)処理を用いる。これにより、急峻なプロファイルを持つP型高濃度不純物層12を形成することができる。

## 【0051】

さらに、例えばトランジスタ・チャネル形成領域を含む領域に、レジスト膜（図示せず）をマスクに用いて、所望の導電型の不純物イオンを注入し、チャネル不純物層15を形成する。このとき、チャネル不純物層15は、不純物イオンをトランジスタ・チャネル領域にのみ選択的に注入することで形成しても良い。形成されるMOSFETがNチャネル型で、そのしきい値電圧（V<sub>t h</sub>）を、例えば0.7V程度に設定したい場合には、例えばボロンイオン（B<sup>+</sup>）を、加速電圧20KeV、 $5 \times 10^{12} \text{ cm}^{-2}$ 程度イオン注入し、P型のチャネル不純物層15を、チャネルとなる領域に、選択的に均一なプロファイルとなるように形成する。この工程は、酸化膜（図示せず）を通してイオン注入を行なう。このチャネル不純物層15の活性化は、この後、例えばRTA処理を用いて、例えば750°C、10秒程度の熱処理で行なっても良い。

#### 【0052】

次に、上記酸化膜（図示せず）を除去し、再度、全面に5nm程度の膜厚のSiO<sub>2</sub>層20、20nm程度の膜厚のマスク層（SiN）21、20nm程度の膜厚のマスク層（SiO<sub>2</sub>）22を形成し、リソグラフィ法とRIE法を用いて、所望の形状、例えばMOSFETの素子領域となる形状に加工する。

#### 【0053】

次に、図4A、図4Bに示すように、図3A、図3Bに示す構造を、マスク層22をエッティングマスクに用いてエッティングし、ソース、ドレイン、チャネルとなる凸状薄膜Si層（フェンス）13を形成する。この凸状薄膜Si層13の高さは、例えば250nm程度である。このように、図3A、図3Bに示す構造を、Si基板10中のP型ウェル11の一部に達するまで、例えばRIE法を用いてエッティングすることで、深さ250nm程度の溝が形成される。これにより、凸状薄膜Si層13が形成される。次に、凸状薄膜Si層13の側面や溝の底を、アッショングとウェット処理等を用いてクリーニングするとともに、RIEによってダメージを受けたSi層を除去する。これにより、凸状薄膜Si層13の側面や溝の底に、ダメージの少ないSi表面を露出させる。次に、凸状薄膜Si層13の側面や溝の底に、界面特性を良くする目的で、酸化膜（図示せず）を形成する。この酸化膜の形成には、低温（例えば700°C程度）で良質の酸化膜を形

成できる、酸素ラジカルを用いたラジカル酸化法を用いるのが望ましい。このようにラジカル酸化法を用いて、凸状薄膜Si層13の側面や溝の底に、7nm程度の膜厚の酸化膜（図示せず）を形成する。

#### 【0054】

次に、図5A、図5Bに示すように、酸化膜（図示せず）を介して、溝を、絶縁膜、例えば $\text{SiO}_2$ 、好ましくはTEOSを反応ガスに用いて形成した $\text{TEOS-SiO}_2$ 層23により埋め込む。これにより、いわゆるトレンチ型素子分離（STI；Shallow Trench Isolation）を形成する。これには、例えば図4A、図4Bに示した構造上に、反応ガスをTEOS、成膜温度を約650°CとしたCVD法を用いて、 $\text{TEOS-SiO}_2$ を500nm程度堆積し、 $\text{TEOS-SiO}_2$ 層23を形成する。次に、 $\text{TEOS-SiO}_2$ 層23を、例えば温度700°C程度のラジカル酸化雰囲気でデンシファイした後、CMP（Chemical Mechanical Polishing）法を用いて、平坦化する。このとき、マスク層（SiN）21のCMP速度と $\text{TEOS-SiO}_2$ 層23のCMP速度との差によって、 $\text{TEOS-SiO}_2$ 層23は、溝内に平坦に埋め込まれる。なお、溝を埋め込む絶縁膜としては、 $\text{TEOS-SiO}_2$ の他、 $\text{TEOS-O}_3$ CVD法を用いて形成した $\text{TEOS-O}_3-\text{SiO}_2$ 膜や、HDP（High Density Plasma）CVD法を用いて形成したHDP- $\text{SiO}_2$ 膜などでも良い。

#### 【0055】

次に、図6A、図6Bに示すように、 $\text{TEOS-SiO}_2$ 層23を、例えばRIE法を用いてエッチバックすることにより、溝の底部に、例えば100nm程度の膜厚となる素子分離用の素子分離絶縁膜14を形成する。

#### 【0056】

次に、図7A、図7Bに示すように、マスク層（SiN）21を、例えばホット燐酸等を用いて、ウェット除去する。次いで、溝の側面に形成されている酸化膜（図示せず）および $\text{SiO}_2$ 層20を、フッ酸系の溶液を用いて剥離する。これにより、凸状薄膜Si層13の上面、およびその側面からSiを露出させる。次いで、露出したSiの表面に、ゲート絶縁膜18を形成する。ゲート絶縁膜1

8は、例えば露出したSiの表面を、例えば700°C程度のラジカル酸化法を用いて、約2.5nm程度酸化することで形成される。このラジカル酸化法を用いたゲート絶縁膜18の形成では、特に側面の面方位に依存し難く、Si表面の凸凹が少ない酸化膜を実現できるので、チャネル界面散乱によるチャネル・モビリティの低下の少ないMOSトランジスタを実現できる。また、ラジカル酸化は、酸化膜の膜厚がある温度では一定の膜厚しか形成できないので、酸化膜のウェーハ面内およびチップ間での酸化膜の膜厚バラツキを少なくできる、という特長がある。もちろん、ゲート絶縁膜18には、熱酸化法を用いて、通常熱酸化膜を形成し、その表面を、窒素を含むガスで窒化することによりSiON膜とする、いわゆる「オキシナイトライド膜」ゲート絶縁膜を用いても良い。

#### 【0057】

さらに、図24に示すように、ゲート絶縁膜18は、 $\text{SiO}_2$ 膜に限らず、 $\text{Ta}_2\text{O}_5$ （タンタルオキサイド）膜や、 $\text{Al}_2\text{O}_3$ 膜、 $\text{La}_2\text{O}_3$ 膜、 $\text{HfO}_2$ 膜、 $\text{ZrO}_2$ 膜等の、いわゆる高誘電体絶縁膜（high-K膜）を用いても良い。例えば $\text{Ta}_2\text{O}_5$ 膜の比誘電率 $\epsilon_r$ は、 $\text{SiO}_2$ 膜の $\epsilon_r = 3.9$ に比べて大きく、約20~27程度である。このため、 $\text{Ta}_2\text{O}_5$ 膜は、 $\text{SiO}_2$ 膜に膜厚を換算したときの酸化膜換算膜厚（equivalent film thickness）を、2nm以下にできる可能性がある膜である。

#### 【0058】

また、 $\text{Ta}_2\text{O}_5$ 膜を用いた場合、Si界面との界面準位密度を減らすために、例えば1nm程度のSi酸化膜系の膜をSi界面に形成してから、その上に $\text{Ta}_2\text{O}_5$ 膜を形成する、いわゆる積層膜ゲート絶縁膜構造にして使用しても良い。

#### 【0059】

次に、図8A、図8Bに示すように、ゲート電極16となる、例えばN型不純物がドープされたドープ多結晶Si膜（膜厚100nm程度）を、図7A、図7Bに示す構造上に堆積形成し、その上にゲートキャップ絶縁膜24となる、例えばSiN膜を100nm程度、堆積形成する。次いで、レジスト膜（図示せず）をマスクに用いて、まず、ゲートキャップ絶縁膜（SiN）24をエッチングし、次いで、ゲートキャップ絶縁膜（SiN）24をマスクに用いて、ドープト

多結晶Si膜をパターニングする。これにより、ゲート電極16が形成される。このとき、ゲート電極16は、凸状薄膜Si層13の段差を跨ぐように加工される。このため、ゲート電極16のエッティング速度とゲート絶縁膜18のエッティング速度との比（選択比）を充分にとれる、例えば400程度あるような条件を用いて、ドープト多結晶Si膜をパターニングすることが重要である。このようなエッティング条件を用いることで、凸状薄膜Si層13へのエッティング・ダメージを防止できる。

#### 【0060】

また、ゲート電極16の抵抗を低下させるために、ドープト多結晶Si膜の代わりに、メタル膜（TiN膜、W膜、WN膜、Ru膜、Ir膜、Al膜などやその積層膜）、あるいは多結晶Si膜とW膜、TiN膜、Al膜、Cu膜などのメタル膜や、CoSi<sub>2</sub>膜やTiSi<sub>2</sub>膜などのシリサイド膜との積層ゲート電極構造を用いることも可能である。

#### 【0061】

さらに、ゲート電極16の材料をTiN等とした場合、その配向性等を調整することにより、ゲート電極16の仕事関数の変化を利用してMOSFETのしきい値電圧を調整することも可能である。

#### 【0062】

また、ゲート電極16の長さ（いわゆるゲート長）は、例えば70nm程度とする。この発明では、詳しくは後述するがPMOSFETのショートチャネル効果を抑制できるので、Nチャネル、PMOSFET共に同じチャネル長を用いるように設計しても良い。

#### 【0063】

次に、図9A、図9Bに示すように、ゲートキャップ絶縁膜24とゲート電極16をマスクに用いたイオン注入法により、N型ソース／ドレイン領域17を形成する。この時、ゲート電極16の側壁や、底部コーナーの電界集中を緩和するために、ゲート電極16を、例えばラジカル酸化法や低温のRTO法等を用いて酸化し、例えば2nm程度の膜厚を持つ酸化膜（図示せず）を形成しても良い。

#### 【0064】

また、ソース／ドレイン領域17の深さ（X<sub>j</sub>）制御は、凸状Siトランジスタのチャネル幅を決める重要な工程である。特にN型ソース／ドレイン領域17の不純物の活性化等を含めて、熱処理の温度設定には、注意が必要である。

#### 【0065】

また、本例では、CVD法を用いて、絶縁物（SiO<sub>2</sub>やSiN）を、図8A、図8Bに示す構造上に堆積した後、堆積された絶縁物をRIEし、この絶縁物を、ゲート電極16パターンの側壁、および凸状薄膜Si層13の側壁に残す。これにより、ゲート電極16パターンの側壁、および凸状薄膜Si層13の側壁に、膜厚20nm程度の側壁絶縁膜25を形成する。この後、例えば砒素イオン（As<sup>+</sup>）を、加速電圧20KeV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ 程度イオン注入し、N型ソース／ドレイン領域（N<sup>+</sup>型拡散層）17を形成する。

#### 【0066】

なお、本例では、シングル・ソース／ドレイン構造について述べたが、図29に示すように、N<sup>-</sup>型拡散層17aとN<sup>+</sup>型拡散層17bを用いたゲート・エクステンション構造を用いることも可能である。N<sup>-</sup>型拡散層17aのイオン注入条件の一例は、例えばリンイオン（P<sup>+</sup>）を、加速電圧40KeV、ドーズ量 $4 \times 10^{13} \text{ cm}^{-2}$ 程度である。これにより、N<sup>-</sup>型拡散層17aを形成する。もちろん、砒素（As）等のイオン注入を行って、N<sup>-</sup>型拡散層17aを形成しても良い。

#### 【0067】

N型ソース／ドレイン領域17の深さ（X<sub>j</sub>）は、最終的なイオン注入層形成後の熱的な活性化や熱処理条件により制御される。例えばPN接合深さ（X<sub>j</sub>）=0.12μm程度になるように、イオン注入条件（加速電圧とドーズ量）および熱的な活性化条件を制御して実現する。

#### 【0068】

また、N型ソース／ドレイン領域17の比抵抗を低下させる必要がある場合には、例えば比抵抗を $50 \mu\Omega \cdot \text{cm}$ 程度より低くしたい場合には、N型ソース／ドレイン領域17の表面に、TiSi<sub>2</sub>やCoSi<sub>2</sub>、PtSi、Pd<sub>2</sub>Si、IrSi<sub>3</sub>、RhSi等のシリサイド層（図示せず）を形成しても良い。特にソ-

ス／ドレイン領域17がP型の場合、このP型ソース／ドレイン領域17のコンタクト抵抗を低下させるには、 $Pd_2Si$ が有効である。

## 【0069】

本例では、凸状薄膜Si層13の側面のN型ソース／ドレイン領域17の下部には、ゲート電極16とオフセットとなるオフセット領域が存在することになる。これはN型ソース／ドレイン領域17を、表面からのイオン注入法と熱拡散により形成しているからである。このオフセット領域の存在と、パンチスルー防止のためのイオン注入層（パンチスルー・ストッパー層12）とにより、N型ソース／ドレイン領域17の下部領域におけるパンチスルーが防止できる構造となっている。

## 【0070】

さらに本例では、凸状薄膜Si層13の側面が、側壁絶縁膜25によって覆われているので、N型ソース／ドレイン領域17を形成するためのイオン注入時、凸状薄膜Si層13の上面へのイオン注入がメインとなり、側面への不純物のイオン注入は防止できる構造となっている。

## 【0071】

次に、図10A、図10Bに示すように、CVD法を用いて、図9A、図9Bに示した構造上に、 $SiO_2$ を、例えば500nm程度堆積し、層間絶縁膜26を形成する。この後、層間絶縁膜26を、例えば700°C程度のラジカル酸化雰囲気で、例えば30分程度デンシファイする。この熱工程は、N型ソース／ドレイン領域17のイオン注入層の活性化を兼ねて行っても良い。N型ソース／ドレイン領域17の深さ（Xj）を制御したい時は、デンシファイの温度を低温化する、あるいは例えば850°C程度で msec（ミリ秒）程度のRTA処理を行っても良い。さらにはこれらを併用してN型ソース／ドレイン領域17のイオン注入層の活性化を行なっても良い。この後、CMP法を用いて、層間絶縁膜26を平坦化し、素子表面を平坦化する。

## 【0072】

次に、図11A、図11Bに示すように、レジスト膜（図示せず）とRIE法を用いて、コンタクトホール27を形成し、そのコンタクトホール27にW（タ

ングステン) 膜やAl (アルミ) 膜、TiN (窒化チタン) 膜/Ti (チタン) 膜やそれらの積層膜を埋め込み、コンタクトプラグ28を形成する。さらにAl配線層29を形成する。さらに全面にパッシベーション膜(図示せず)を堆積することで、この発明の第1実施形態に係るMOSFETの基本構造が完成する。

## 【0073】

このような凸状薄膜Si層13の両側面に、ゲート電極16を持ち、好ましくは完全空乏化チャネルを持つダブルゲート構造を持つMOSFETにより、

(1) 凸状薄膜Si層13中に形成したN型ソース/ドレイン領域17と凸状薄膜Si層13の下部領域に形成した素子分離絶縁膜14との間を離すことにより、本MOSFETのチャネル幅を、ソース/ドレイン領域17の深さにより制御することができる。そして、凸状薄膜Si層13を形成するときの、溝エッチング深さのバラツキの影響が、チャネル幅のバラツキに影響しない構造が実現できる。

## 【0074】

(2) 凸状薄膜Si層13の幅(Wg)を、例えば0.20μmより狭くする。これにより、凸状薄膜Si層13の両側面に形成したゲート電極16によって、チャネル領域15を完全に空乏化することができる。チャネル領域15を完全に空乏化することで、例えばショートチャネル効果を抑制できる。

## 【0075】

(3) 凸状薄膜Si層13のチャネル領域15とウェル11(もしくはSi基板10)間に、高濃度不純物層(パンチスルーワッパー層)12を設けることにより、MOSFETのパンチスルーワッパー層を防止することができる。

## 【0076】

(4) 凸状薄膜Si層13の側面において、ソースとドレイン間の距離は、上部領域において短く、下部になるに従って広くなっているような形状を実現することにより、ソース/ドレイン間のパンチスルーワッパー層を防止できる。

## 【0077】

(5) 凸状薄膜Si層13の側面において、ソースとドレイン間の距離を、凸状薄膜Si層113の上部領域において短く、下部領域に向かって広くなるよう

な形状を実現することにより、ソース／ドレイン間のパンチスルーを防止できる。

#### 【0078】

さらに、凸状薄膜S<sub>i</sub>層13の下部領域において、ソース／ドレイン領域17の一部が、ゲート電極16よりも自己整合的に外側になった、極めて従来と異なった形状となるように形成する。このようにゲート電極16とソース／ドレイン領域17の一部とが互いにオフセットする、オフセット構造を設けることによって、凸状薄膜S<sub>i</sub>層13の下部領域におけるパンチスルーを効果的に防止できる。

#### 【0079】

(6) MOSFETのチャネル領域15の一部は、凸状薄膜S<sub>i</sub>層13の側面を用いるものであるが、ソース／ドレイン／ゲートへのコンタクト、配線は、ほぼ完全に平坦化された平面、例えば層間絶縁膜26上で行なうので、従来の平面型のプロセス技術をそのまま使用できる利点がある。

#### 【0080】

##### (第2実施形態)

図12はこの発明の第2実施形態に係るMOSFETを示す斜投影図、図13A、図13Bはそれぞれ、その断面図である。なお、図13Aに示す断面は図2Bに示した断面に相当し、図13Bに示す断面は図2Cに示した断面に相当する。また、図12、図13A、図13Bでは、図2Aに示したコンタクトおよび配線はそれぞれ省略されている。

#### 【0081】

第1実施形態では、凸状薄膜S<sub>i</sub>層13の上面、両側面で、ほぼ膜厚が等しいゲート絶縁膜18を用いた構造を示した。

#### 【0082】

本第2実施形態では、図12、図13A、図13Bに示すように、凸状薄膜S<sub>i</sub>層13の上面には、両側面のゲート絶縁膜18aに比べて、膜厚の厚いゲート絶縁膜(TOP絶縁膜)18bが有る構造について示している。

#### 【0083】

このような構造を用いることで、凸状薄膜 S i 層 1 3 のチャネル領域 1 5において、上部コーナーにおけるゲート電界集中を緩和でき、その影響を低減することができる。このようにゲート電界集中の影響を低減できることで、ゲート電界集中に起因したしきい値電圧の変動や、基板バイアス特性の変動、即ち、基板バイアスを印加したときのしきい値電圧の変動を抑制することができる。

#### 【0084】

このような構造を得るには、例えば第1実施形態の、図6A、図6Bを参照して説明した工程において、凸状薄膜 S i 層 1 3 の上面に形成された S i O<sub>2</sub>層 2 0 を除去しないで残しておき、その後、凸状薄膜 S i 層 1 3 の側面上に、ゲート絶縁膜 1 8 a を形成する。これにより、凸状薄膜 S i 層 1 3 の上面には厚いゲート絶縁膜 1 8 b、凸状薄膜 S i 層 1 3 の両側面上には、薄いゲート絶縁膜 1 8 a という、2種類の膜厚を持つゲート絶縁膜構造を実現することができる。

#### 【0085】

なお、本第2実施形態の、特にゲート絶縁膜 1 8 a は、S i O<sub>2</sub>膜に限らず、図25に示すように、Ta<sub>2</sub>O<sub>5</sub>膜、HfO<sub>2</sub>膜、ZrO<sub>2</sub>膜等の、いわゆる高誘電体絶縁膜(high-K膜)を用いることが可能である。

#### 【0086】

また、ゲート絶縁膜 1 8 a に Ta<sub>2</sub>O<sub>5</sub>膜を用いた場合には、S i 界面との界面準位密度を減らすために、例えば1 nm程度のS i 酸化膜系の膜をS i 界面に形成してから、その上に Ta<sub>2</sub>O<sub>5</sub>膜を形成する、いわゆる積層膜ゲート絶縁膜構造としても良い。

#### 【0087】

なお、ゲート絶縁膜 1 8 a に、上記高誘電体絶縁膜(high-K膜)を用いる変形は、この明細書で説明する全ての実施形態で適用可能であることは、もちろんである。

#### 【0088】

##### (第3実施形態)

図14A、図14Bはそれぞれ、この発明の第3実施形態に係るMOSFETを示す断面図である。なお、図14Aに示す断面は図2Bに示した断面に相当し

、図14Bに示す断面は図2Cに示した断面に相当する。また、図14A、図14Bでは、図2Aに示したコンタクトおよび配線はそれぞれ省略されている。

#### 【0089】

第1実施形態では、凸状薄膜Si層13中に形成されたソース／ドレイン領域17とウェル11（もしくはSi基板10）との間に、パンチスルー・ストップバー層12が存在している構造例を示した。

#### 【0090】

本第3実施形態では、図14A、図14Bに示すように、ソース／ドレイン領域17の深さが、第1実施形態より深い。例えば本例では、ソース／ドレイン領域17の底部が、凸状薄膜Si層13の周囲に形成された素子分離絶縁膜14の上面にはほぼ等しいか、それよりも深い場合について示している。この場合、ゲート電極16は、素子分離絶縁膜14の上面から、凸状薄膜Si層13の側面に沿って形成されるために、ソース／ドレイン領域17の底部の位置と、ゲート電極16の位置とが、ほぼ一致することになる。

#### 【0091】

このような構造では、ソース／ドレイン領域17の深さを深くできるために、チャネル幅を大きくできる。よって、凸状薄膜Si層13の高さを低くでき、ゲート電極16の加工が容易、という効果を得ることができる。

#### 【0092】

##### （第4実施形態）

図15A、図15Bはそれぞれ、この発明の第4実施形態に係るMOSFETを示す断面図である。なお、図15Aに示す断面は図2Bに示した断面に相当し、図15Bに示す断面は図2Cに示した断面に相当する。また、図15A、図15Bでは、図2Aに示したコンタクトおよび配線はそれぞれ省略されている。

#### 【0093】

第1実施形態では、凸状薄膜Si層13中に形成されたソース／ドレイン領域17とウェル11（もしくはSi基板10）との間に、パンチスルー・ストップバー層12が存在し、かつ凸状薄膜Si層13の側面において、ソース／ドレイン領域17がゲート電極16とオフセットしている構造例を示した。

## 【0094】

本第4実施形態では、図15A、図15Bに示すように、ソース／ドレイン領域17の深さが、第1実施形態より深く、かつオフセット領域が無い構造を示している。具体的には、例えば本例では、ソース／ドレイン領域17の底部が、凸状薄膜Si層13の周囲に形成された素子分離絶縁膜14の上面にほぼ等しいか、それよりも深く、かつ凸状薄膜Si層13の側面において、ソース／ドレイン領域17は、ゲート電極16と完全にオーバーラップしている。このような構造を得るには、例えばゲート電極16とその側壁絶縁膜25をマスクに用いて、不純物をドープした膜からの固相拡散により、ソース／ドレイン領域17を形成すれば良い。

## 【0095】

このような構造では、第3実施形態と同様に、ソース／ドレイン領域17を深い領域まで形成でき、大きなチャネル幅を実現できるため、凸状薄膜Si層13の高さを低くでき、ゲート電極16の加工が容易になる、という効果を得ることができる。

## 【0096】

## (第5実施形態)

図16Aはこの発明の第5実施形態に係るMOSFETを示す平面図、図16Bは図16A中の16B-16B線に沿う断面図、図16Cは図16A中の16C-16C線に沿う断面図である。

## 【0097】

第1実施形態では、凸状薄膜Si層13が一つの場合について述べた。

## 【0098】

本第5実施形態では、より大きなチャネル幅を実現するために、凸状薄膜Si層13を複数個合わせて、一つのMOSFETを形成する場合について述べる。

## 【0099】

図16A～図16Cに示すように、凸状薄膜Si層13を並列に配置し、ソース／ドレイン領域17へのコンタクトを共通にし、また、ゲート電極16も共通にする。これにより、大きなチャネル幅を実現できる。

## 【0100】

凸状薄膜S i層13の側面をチャネル幅として用いることができるので、平面的な構造を持つMOSFETに比べて、平面的な面積を小さくできる。

## 【0101】

また、この時、ゲート電極16へのコンタクトは、ゲート電極16のうち、素子分離絶縁膜14上に配置された部分に形成することができる。

## 【0102】

本第5実施形態に係る構造では、凸状薄膜S i層13を、複数個配置しソース、ドレイン、ゲートを共通にして一つのトランジスタとして動作させることで、より大きなチャネル幅を、より少ない平面的な面積で実現できる。これにより半導体集積回路の高密度化を実現できる特長がある。このとき、複数個の薄膜凸状S i層13の幅は各々ほぼ同じとし、互いに揃えられることが望ましい。同じ幅であれば、それぞれのMOSFET特性を同じにできるからである。

## 【0103】

また、複数個の薄膜凸状S i層13の幅を各々ほぼ同じとし、互いに揃えることで、それぞれのMOSFET特性を同じにできる、という観点から、1つのチップ中に形成される複数のMOSFETの全て、あるいはその一部において、薄膜凸状S i層13の幅を各々同じに揃えるようにしても良い。

## 【0104】

このように複数の薄膜凸状S i層13の幅が揃えられれば、例えば複数の薄膜凸状S i層13を微細に形成し易くなる、という利点を得ることができる。

## 【0105】

なぜなら、薄膜凸状S i層13の幅が揃っていると、薄膜凸状S i層13を加工し易く、また、埋め込みも容易となるからである。この結果、素子の製造歩留りが向上する。この利点は、今後、更に進展が予想されるMOSFETの微細化や、半導体集積回路装置の高集積化にとって、大変有用である。

## 【0106】

また、半導体集積回路装置に集積される複数のMOSFETでは、回路構成上、それぞれ必要とされる駆動能力に違いがある。

## 【0107】

従来、駆動能力の調節は、チャネル幅を変更することで為されていた。チャネル幅を変更することは、MOSFETが形成される素子領域の幅の変更を意味する。このため、従来の半導体集積回路においては、1チップ中に、様々な幅の素子領域が集積されていた。このような構造は、微細に形成し難く、更に進展が予想されるMOSFETの微細化や、半導体集積回路装置の高集積化にとっては、あまり好ましいことではない。

## 【0108】

しかし、この発明に係るMOSFETを用いて形成した半導体集積回路装置では、従来の素子領域に相当した薄膜凸状Si層13の幅を揃えることが可能、究極的には全て揃えることが可能となる。究極的には全ての薄膜凸状Si層13の幅を揃えることが可能である。

## 【0109】

なぜなら、この発明に係るMOSFETでは、本第5実施形態のように、チャネル幅を、ゲート電極16を複数の薄膜凸状Si層13で共通にすることで変更でき、これによって駆動能力の調節が可能となるからである。

## 【0110】

## (第6実施形態)

図17Aはこの発明の第6実施形態に係るMOSFETを示す平面図、図17Bは図17A中の17B-17B線に沿う断面図、図17Cは図17A中の17C-17C線に沿う断面図である。

## 【0111】

第5実施形態では、より大きなチャネル幅を実現するために、凸状薄膜Si層13を複数個合わせて、一つのMOSFETを形成する場合について述べた。また、ゲート電極16へのコンタクトは、ゲート電極16のうち、素子分離絶縁膜14上に配置された部分に形成する場合を述べた。

## 【0112】

本第6実施形態が、第5実施形態と異なるところは、ゲート電極16へのコンタクトをとる構造である。

## 【0113】

図17A～図17Cに示すように、例えば凸状薄膜Si層13とは別に、コンタクトをとるための凸状薄膜Si層30を形成し、ゲート電極16を、凸状薄膜Si層30の上面まで延長する。そして、凸状薄膜Si層30の上面の上方で、ゲート電極16にコンタクトをとる。

## 【0114】

このゲートコンタクト用の凸状薄膜Si層30の大きさは、コンタクトがとれる大きさなら良い。そして、凸状薄膜Si層30の目的は、MOSFETのソース／ドレイン領域17へのコンタクト深さと、MOSFETのゲート電極16へのコンタクト深さとの差を縮小することにある。このような凸状薄膜Si層30を持つ構造とすることで、安定したコンタクトを得ることが可能になり、製造歩留りを向上することができる。

## 【0115】

本第6実施形態に係る構造によれば、ゲートコンタクト形成用の凸状薄膜Si層30を形成することで、その上面の上方で、ゲート電極16へのコンタクトをとることができます。これにより、深いコンタクトを回避することができ、コンタクト、配線工程の安定した製造ができるようになる。

## 【0116】

図18A、図18Bはそれぞれ、この発明の第6実施形態の他例に係るMOSFETを示す断面図である。なお、図18Aに示す断面は図2Bに示した断面に相当し、図18Bに示す断面は図2Cに示した断面に相当する。

## 【0117】

図18A、図18Bに示すように、第6実施形態に係る構造は、第5実施形態のように、複数のMOSFETを持つ構造に限らず、第1実施形態のように、一つのMOSFETを持つ構造においても、適用することが可能である。

## 【0118】

この場合も、ゲートコンタクト形成用の凸状薄膜Si層30の上面の上方で、ゲート電極16にコンタクトをとることで、深いコンタクトの形成を回避でき、コンタクト、配線工程の安定した製造ができるようになる。

【0119】

(第7実施形態)

図19A、図19Bはそれぞれ、この発明の第7実施形態に係るMOSFETを示す断面図である。

【0120】

第1実施形態では、凸状薄膜Si層13を、Si基板10に対してほぼ垂直の角度を持つように形成した例を述べた。

【0121】

本第7実施形態では、図19A、図19Bに示すように、段差となる凸状薄膜Si層13をまたぐ形のゲート電極の加工を容易にするために、凸状薄膜Si層13に順テーパー角度θを持つように形成する。例えば垂直な場合に比べて、凸状薄膜Si層13に、1～3度程度の順テーパー角度θをつけただけでも、ゲート電極16の加工は、格段に容易化できる。

【0122】

また、このテーパー角度θを持つように凸状薄膜Si層を形成するには、例えば第1実施形態の図4A、図4Bを参照して説明した、マスク層22をエッティングのマスクに用いて、Si基板10をエッティングする際に、エッティング条件を調整すればよい。1～3度の順テーパー角度をつけるのは比較的容易である。

【0123】

このように凸状薄膜Si層13を、順テーパー構造とすることにより、ゲート電極16の加工を容易化でき、該加工時の寸法変換差を小さくできる、という効果を得ることができる。

【0124】

(第8実施形態)

図20はこの発明の第8実施形態に係るMOSFETを示す斜投影図、図21Aはその平面図、図21Bは図21A中の21B-21B線に沿う断面図、図21Cは図21A中の21C-21C線に沿う断面図である。

【0125】

第1実施形態では、一つのパターンからなるゲート電極16が、凸状薄膜Si

層13の上面を跨いで、その両側面に沿って形成されている例を示した。

#### 【0126】

同様に、第5実施形態では、一つのパターンからなるゲート電極16が、複数の凸状薄膜Si層13の上面をそれぞれ跨ぎ、かつそれらの両側面に沿って形成されている例を示した。

#### 【0127】

本第8実施形態は、図20、図21A～図21Cに示すように、ゲート電極16を、凸状薄膜Si層13の側面に形成されたゲート絶縁膜18aと接する第1ゲート電極16a、および膜Si層13の上面に形成されたゲート絶縁膜(TOP絶縁膜)18bと接する第2ゲート電極16bの複数のパターンにより構成したものである。なお、本例では、第2実施形態と同様に、ゲート絶縁膜(TOP絶縁膜)18bは、ゲート絶縁膜18aよりも厚いもの、とする。

#### 【0128】

第1ゲート電極16aは、凸状薄膜Si層13の第1の側面、およびこの第1の側面に相対した第2の側面にそれぞれ個別に形成されている。そして、これら各第1ゲート電極16aどうしを、第2ゲート電極16bとなる接続のためのメタル層で接続している。ここで、第2ゲート電極16bは、MOSFETのゲート電極として機能させることも可能であるし、第2ゲート絶縁膜(TOP絶縁膜)18bを充分に厚くし、単純に配線として機能させることも可能である。単純に配線として機能させた場合には、第1の側面に形成された第1のMOSFETのゲート電極と、第1の側面に相対した第2の側面に形成された第2のMOSFETのゲート電極とを、配線によって互いに接続し、これら2つのMOSFETを、一つのMOSFETとして動作させるようにした構造、といえる。

#### 【0129】

本第8実施形態に係る構造を形成するためには、ゲート絶縁膜(TOP絶縁膜)18bをエッチングのマスクに用いて、凸状薄膜Si層13aの側壁に、第1ゲート電極16aとなる導電物を、RIE法を用いた側壁残し法にて残し、その後、レジスト膜をマスクに用いて、ゲート電極16aの形状に加工することで実現できる。このとき、凸状薄膜Si層13の上面に形成された、ゲート絶縁膜(

TOP絶縁膜) 18bが、RIE時のエッティングのマスクとして使用できる他、RIE時のエッティング・ダメージが、凸状薄膜Si層13に入るのを防止する。このように本第8の実施形態に係る構造において、ゲート絶縁膜(TOP絶縁膜) 18bは、特に重要な役割を果たす。

#### 【0130】

また、第1ゲート電極16aと第2ゲート電極16bとの間には、合わせズレが発生する可能性が有るが、MOSFETの電気特性には影響はない。

#### 【0131】

このような第8の実施形態に係る電極構造をとることにより、凸状薄膜Si層13の側壁のみに、第1ゲート電極16aの材料、例えば不純物をドープしたポリSi層を形成できる。このため、MOSFETの電気特性に応じてゲート電極の材料を変更できる、という特長がある。

#### 【0132】

また、第1ゲート電極16aの膜厚を、例えば50nm程度に薄膜化しても、第2ゲート電極16bとなるメタル層を、例えば膜厚100nm程度のW膜/TiN膜/Ti膜の積層膜等で形成すれば、配線抵抗の増加を抑制することができる。

#### 【0133】

##### (第9実施形態)

図22はこの発明の第9実施形態に係るMOSFETを示す斜投影図、図23Aはその平面図、図23Bは図23A中の23B-23B線に沿う断面図、図23Cは図23A中の23C-23C線に沿う断面図である。

#### 【0134】

第8実施形態では、第1ゲート電極16aを、凸状薄膜Si層13の互いに相対する2つの側面上に形成されたゲート絶縁膜18a上に形成し、これら第1ゲート電極16aどうしを、凸状薄膜Si層13の上面に形成されたゲート絶縁膜(TOP絶縁膜) 18b上に形成された第2ゲート電極16bを用いて、互いに接続する構造について説明した。

#### 【0135】

本第9実施形態は、図22、図23A、図23Bに示すように、第1ゲート電極16aを凸状薄膜Si層13の互いに相対する2つの側面およびその上面の3つの面上に形成されたゲート絶縁膜18上に形成されたゲート電極16と、このゲート電極18に電気的に接続される第2ゲート電極（メタル）16bとからなる積層ゲート電極を持つ。

#### 【0136】

このような構造を形成するには、第1実施形態において、図8A、図8Bに示す工程において、ゲート電極16を所望の形状に加工した後、ゲート電極16の側壁に側壁絶縁膜25を形成し、ソース／ドレイン領域17を形成する（図9A、図9B）。この後、層間絶縁膜26を形成し、これを平坦化する（図10A、図10B）。この層間絶縁膜26の平坦化時、ゲート電極16の表面を、選択的に露出させるようとする。この後、第2ゲート電極16bとなるメタル積層膜（例えばW膜／TiN膜／Ti膜）を堆積し、レジスト膜（図示せず）を用いて所望の形状にパターニングし、第2ゲート電極16bを形成する。

#### 【0137】

本第9実施形態においても、第8実施形態と同じように、ゲート電極16と第2ゲート電極16bとの間には合わせズレが発生する可能性が有るが、MOSFETの電気特性には影響はない。

#### 【0138】

このような本第9実施形態に係る電極構造とすることにより、凸状薄膜Si層13の両側面および上面の3つの側面に、第1のゲート電極材料、例えば不純物をドープしたポリSi層により構成されたゲート電極16を形成できる。さらにゲート電極16に電気的に接続される、例えばより抵抗値が低い第2のゲート電極材料、例えばメタルやメタル積層膜により構成された第2ゲート電極16bを形成できる。このため、MOSFETの電気特性に応じて、ゲート電極材料を変更することができる、という特長がある。

#### 【0139】

また、ゲート電極16を、例えば50nm程度に薄膜化しても、第2ゲート電極となる積層メタル接続層で、配線抵抗の増加を抑制することができる。

## 【0140】

(第10実施形態)

図26は、この発明の第10実施形態に係るMOSFETを示す断面図である。なお、図26に示す断面は図1Bに示す断面に相当する。

## 【0141】

第1実施形態では、凸状薄膜Si層13の下部周辺領域に素子分離絶縁膜14を埋め込み形成する場合に、図6A、図6Bに示すように、凸状薄膜Si層13の側面の延長面に素子分離絶縁膜14が形成されている。

## 【0142】

本第10実施形態は、素子分離絶縁膜14を埋め込み形成する場合に、凸状薄膜Si層13の下部領域に、素子分離絶縁膜14の埋め込み形状が劣化しない様に、例えば約10度程度の順テーパー角度θを持つように形成する例である。

## 【0143】

図26に示すように、凸状薄膜Si層13の下部領域に、例えば垂直な場合に比べて10度程度の順テーパー角度θをつけることにより、図5A、図5Bに示した絶縁膜23の、特に凸状薄膜Si層13の下部領域における埋め込み性を著しく向上できる。

## 【0144】

また、凸状薄膜Si層13の下部領域にテーパー角度θを持つように加工するには、凸状薄膜Si層13のエッチング時の最終段階に、エッチング条件を変更し、順テーパー角度θがつくようにすれば良い。凸状薄膜Si層13の下部領域に、約10度の順テーパー角度θをつけることは、エッチング条件の変更で比較的容易に実現できる。

## 【0145】

このように凸状薄膜Si層13の下部領域が、約10度の順テーパー角度θを持ち、その上部領域のMOSFETのチャネルとなるほぼ垂直な側面を持つ凸状Si構造にすることにより、素子分離絶縁膜14の埋め込み特性を改善でき、安定した素子分離領域を形成できるという特長がある。

## 【0146】

## (第11実施形態)

図27は、この発明の第11実施形態に係るMOSFETを示す断面図である。なお、図27に示す断面は図1Bに示す断面に相当する。

## 【0147】

第1実施形態、および第10実施形態では、凸状薄膜Si層13の下部領域に、素子分離絶縁膜14を埋め込み形成する場合、図6A、図6Bに示すように、素子分離絶縁膜14の上面がSi基板10面に対して、ほぼ水平になるように形成されている例や、素子分離絶縁膜14の底部コーナーがほぼ垂直になっている例について述べた。

## 【0148】

本第11実施形態では、素子分離絶縁膜14を埋め込み形成する場合に、素子分離絶縁膜14の埋め込み形状が劣化しないように、例えば凸状薄膜Si層13の底部コーナーが半径=50nm程度の丸みを持つように形成する例と、素子分離絶縁膜14の表面がSi基板10表面に対して、ほぼ水平ではなくて凸状薄膜Si層13の周辺部から素子分離絶縁膜14の中心部に向かって膜厚が薄くなるように形成する例とについて述べる。

## 【0149】

図27に示すように、例えば凸状薄膜Si層13の底部コーナーに、半径50nm程度のラウンドを形成することにより、図5A、図5Bに示した素子分離絶縁膜14の、特に凸状薄膜Si層13の下部領域における埋め込み性を著しく向上できる。

## 【0150】

また、このような凸状薄膜Si層13の底部コーナーがラウンドを持つように加工するには、凸状薄膜Si層13のエッチング条件を変更し、底部コーナーがラウンドを持つようにすれば良い。

## 【0151】

また、例えば凸状薄膜Si層13の下部領域における素子分離絶縁膜14の膜厚を凸状薄膜Si層13の下部領域において厚く、素子分離絶縁膜14の中心部に行くに従って薄くなるように形成すると、ゲート電極16を加工する場合、凸

状薄膜S i層13の下部周辺の素子分離絶縁膜14表面において、ゲート電極16の残りを防止でき、ゲート電極16どうしのショートを防止でき、製品の歩留まりを向上できる。

#### 【0152】

また、素子分離絶縁膜14を上記形状を持つように加工するには、凸状薄膜S i層13の側面に、例えば10nm程度の熱酸化膜を形成し、それを介してHDP(High Density Plasma)やO<sub>3</sub>(オゾン)-TEOS酸化膜等のCVD絶縁膜を埋め込めば良い。CMP法やRIE法を用いて、図6A、図6Bに示すようにCVD絶縁膜を埋め込み形成するが、最後にウエットエッチング条件を調整し、熱酸化膜に対してCVD絶縁膜の方がウエットエッチング速度が遅いような条件(エッティング液の温度やフッ酸の濃度等)を選んでエッティングし、凸状薄膜S i層13の近傍だけが厚い膜厚になるような絶縁膜を形成すれば良い。

#### 【0153】

このように凸状薄膜S i層の底部コーナーに半径50nm程度のラウンドを形成することにより、特に凸状薄膜S i層13の下部領域における素子分離絶縁膜14の埋め込み性を著しく向上できる。

#### 【0154】

また、例えば素子分離絶縁膜14の膜厚を、凸状薄膜S i層13の下部領域近傍において厚く、そして素子分離絶縁膜14の中心部に行くに従って薄くなるように形成すると、ゲート電極16を加工する場合、凸状薄膜S i層13の下部の素子分離絶縁膜14表面においてゲート電極16の残りを防止でき、ゲート電極16どうしのショートを防止でき、製品の歩留まりを向上できる。

#### 【0155】

##### (第12実施形態)

図28は、この発明の第12実施形態に係るMOSFETを示す断面図である。なお、図28に示す断面は、図1Bに示す断面に相当する。

#### 【0156】

第1実施形態では、凸状薄膜S i層13の上面と平面とが接する上部コーナー

が、ほぼ直角に加工されている例について述べた。

#### 【0157】

本第12実施形態は、この上部コーナーの丸めについて述べる。

#### 【0158】

図28に示すように、例えば上部コーナーに半径30nm程度のラウンドを設けることにより、上部コーナーがほぼ直角な場合に比べて、MOSFETのゲート電極16からの電界の影響を著しく低減できる。これにより、ゲート絶縁膜18の耐圧を向上でき、また、ゲート電界の集中における寄生チャネルの影響を低下できる。

#### 【0159】

このような半径30nm程度のラウンドを、凸状薄膜Si層13の上部コーナーに形成するには色々な方法がある。例えば第1実施形態において、図6A、図6Bに示す状態でマスクSiN膜15を残したまま、凸状薄膜Si層13の側壁表面を熱酸化する。これにより、凸状薄膜Si層13の上部において、LOCOS (Local Oxidation of Silicon) 的な、選択酸化を行なうことにより、上部コーナーに半径30nm程度の食い込みを入れることができる。この後、マスクSiN膜15を除去して、ゲート絶縁膜18を形成することにより、上部コーナーに、半径30nm程度のラウンドを持たせることができる。ラウンドの量は、選択酸化の量により多少変更することができる。

#### 【0160】

このように凸状薄膜Si層13の上面の端部コーナー（上部コーナー）に、半径30nm程度のラウンドを設けることにより、MOSFETのゲート電極からの電界の影響を著しく低減でき、ゲート絶縁膜18の耐圧を向上でき、また、ゲート電界の集中における寄生チャネルの影響を低下できるという特長がある。

#### 【0161】

##### （第13実施形態）

図30はこの発明の第13実施形態の第1例に係るMOSFETを示す平面図、図31はその第2例に係るMOSFETを示す平面図、図32はその第3例に係るMOSFETを示す平面図である。

## 【0162】

第5実施形態では、大きなチャネル幅を実現するために、凸状薄膜S i層13を複数個合わせて一つのMOSFETを形成する場合について述べた。

## 【0163】

本第13実施形態では、複数の凸状薄膜S i層13を合わせて一つのソース／ドレイン領域17、ゲート電極16をもつ構造として用いる場合のソース／ドレイン構造について述べる。

## 【0164】

図30には第1例として、2個の凸状薄膜S i層13を持つ場合の、ソース／ドレイン領域17の結合構造が示されている。

## 【0165】

図30に示すように、凸状薄膜S i層13を並列に配置し、ソース／ドレイン領域17の片方を、凸状薄膜S i層13自体を用いて共通化する。これにより、凸状薄膜S i層13は平面的に折曲され、平面から見て「U型」構造となっている。このような構造をとることによりコンタクトの数を減らすことができる。

## 【0166】

図31には第2例として、4個の凸状薄膜S i層13を持つ場合の、ソース／ドレイン領域17の結合構造が示されている。

## 【0167】

図31に示すように、凸状薄膜S i層13を並列に配置し、ソース／ドレイン領域17の片方を2つずつ、凸状薄膜S i層自体を用いて共通化する。これにより、凸状薄膜S i層13は、平面から見て「U型」構造を幾つか組み合わせた形となっている。このような構造をとることにより図30の場合と同じようにコンタクトの数を減らすことができる。また、凸状薄膜S i層13の構造を変化させることにより、素子配置の密度を向上できる。

## 【0168】

図32には第3例として、4個の凸状薄膜S i層13を持つ場合のソース／ドレイン領域17の結合構造が示されている。

## 【0169】

図32に示すように、凸状薄膜Si層13を並列に配置し、ソース／ドレイン領域17となる両側の凸状薄膜Si層13を、この凸状薄膜Si層13自体を用いて結合した構造となっている。このような構造をとることにより、図30、図31の場合と同じようにコンタクトの数を減らすことができる。また、凸状薄膜Si層の構造を変化させることにより、素子配置の密度を向上できる。

## 【0170】

## (第14実施形態)

図33はこの発明の第14実施形態に係るMOSFETを示す斜投影図、図34Aはその平面図、図34Bは図34A中の34B-34B線に沿う断面図、図34Cは図34A中の34C-34C線に沿う断面図である。また、図33、図34A～図34Cでは、図2Aに示したコンタクトおよび配線はそれぞれ省略されている。

## 【0171】

第1実施形態では、凸状薄膜Si層13の下部領域に周辺に、素子分離絶縁膜14があり、さらに凸状薄膜Si層13のチャネル領域15がSi基板10と電気的に接続され、チャネル領域15に対して基板バイアスを印加できる構造を示した。

## 【0172】

本第14実施形態は、図33、図34A～図34Cに示すように、例えばSOI基板40を用い、このSOI基板40の絶縁膜41上に、200nm程度の薄膜Si層を形成し、これを加工して凸状薄膜Si層13を形成したものである。さらにMOSFETのソース／ドレイン領域17の底部と、絶縁膜41、例えば埋め込み酸化膜のような絶縁膜41の間に、チャネル領域15と同じ導電型のSi層42が存在するような構造である。

## 【0173】

このような構造では、SOI構造であるため、基板バイアスは印加できないが、MOSFET動作時にチャネル領域に蓄積される蓄積電荷（Nチャネルの場合はホールとなる）の影響をソース／ドレイン領域17の底部まで分布を拡大できることにより、そのソース／ドレイン耐圧の劣化などの影響を低減できる。

## 【0174】

このような構造を実現するには、第1実施形態に示したような構造を、S O I 基板4 0 を使って製造すれば良い。そして、ソース／ドレイン領域1 7 の底部と絶縁膜4 1との間に、チャネル領域1 5と同じ導電型のS i 層4 2を形成することが重要である。

## 【0175】

## (第15実施形態)

図3 5はこの発明の第1 5実施形態に係るM O S F E Tを示す斜投影図、図3 6 Aはその平面図、図3 6 Bは図3 6 A中の3 6 B－3 6 B線に沿う断面図、図3 6 Cは図3 6 A中の3 6 C－3 6 C線に沿う断面図である。また、図3 5、図3 6 A～図3 6 Cでは、図2 Aに示したコンタクトおよび配線はそれぞれ省略されている。

## 【0176】

第1 4実施形態では、S O I 基板4 0 を使って凸状薄膜S i 層1 3の両側面にチャネルを形成し、好ましくは動作時にチャネルを完全に空乏化し、M O S F E Tのショートチャネル効果を改善する構造について述べた。この時に、従来の薄膜S O I のF i n構造M O S F E T(図7 0)との違いは、ソース／ドレイン領域1 7 の底部と絶縁膜4 1との間に、チャネルと同じ導電型のS i 層4 2を設けることである。これにより、従来の薄膜S O I を用いたM O S F E Tで問題であった基板浮遊効果を防止できる。

## 【0177】

本第1 5実施形態は、図3 5、図3 6 A～図3 6 Cに示すように、例えばガラス基板4 3を用いて、このガラス基板4 3の上に2 0 0 n m程度の膜厚を持つアモルファスS i 層を形成し、アモルファスS i 層を加工して、第1 4実施形態と同じような凸状薄膜S i 層1 3を持ったM O S F E Tを形成したものである。M O S F E Tのソース／ドレイン領域1 7 の底部とガラス基板4 3との間に、チャネル領域1 5と同じ導電型のS i 層、本例ではアモルファスS i 層4 4が存在する構造は、第1 4実施形態と同じである。

## 【0178】

このような構造を用いることにより、ガラス基板43を用いたアモルファスSi層MOSFETであるのに、完全空乏化チャネルをダブルゲート構造で実現できる。したがって、アモルファスSi-MOSFETの特性を向上できる。

#### 【0179】

このような構造を実現するには、第1実施形態に示したような製造方法をガラス基板43の上に形成したアモルファスSi層を使って実現すれば良い。もちろん、本第15実施形態においても、第14実施形態と同様に、ソース／ドレイン領域17の底部とガラス基板43との間に、チャネル領域15と同じ導電型のアモルファスSi層44を形成することが同じように重要である。

#### 【0180】

##### (第16実施形態)

図37A～図42A、図37B～図42Bは、この発明の第16の実施形態に係るMOSFETの製造方法を示す工程断面図である。なお、図37A～図42Aに示す断面は図2Bに示す断面に相当し、図37B～図42Bに示す断面は図2Cに示す断面に相当する。

#### 【0181】

第1実施形態では、Si基板10を、マスク層22を用いてエッチングすることで、凸状薄膜Si層13を形成する例について述べた。

#### 【0182】

本第16実施形態では、エピタキシャルSi層を用いて、凸状薄膜Si層13を形成し、完全空乏化チャネルを持つダブルゲート型のMOSFET構造を形成する方法である。以下その方法を、図37～図42に示す工程断面図を参照して説明する。

#### 【0183】

まず、図37A、図37Bに示すように、不純物濃度 $5 \times 10^{15} \text{ cm}^{-3}$ 程度の面方位(100)P型Si基板110のトランジスタ・チャネル領域に、NMOSFETを形成する場合にはP型ウェル111(ピーク不純物濃度で、例えば $4 \times 10^{17} \text{ cm}^{-3}$ 程度)を、例えばボロニイオン( $\text{B}^+$ )を、加速電圧260KeV、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ 程度イオン注入することにより形成する。また、

PMOSFETを形成する場合にはNウェル（図示せず）を形成する。次に、Si基板110上方の全面に、後に素子分離絶縁膜となるSiO<sub>2</sub>膜114を、例えば100nm程度形成する。次に、エピタキシャルSi層を成長する場合の溝のメイン材料となるマスク層（SiN）121を、例えば200nm程度形成する。次に、エピタキシャルSi層をCMPするときの保護層となるマスク層（SiO<sub>2</sub>）122を、例えば50nm程度形成する。次に、これらの積層膜に、例えば通常のレジスト膜（図示せず）とRIE法とを用いて、所望のパターンを形成する。本例では、エピタキシャルSi層からなる凸状薄膜Si層を形成するための溝パターン123が形成される。この後、溝パターン123から露出したSi基板110の表面から、RIE時のエッティング・ダメージや有機物汚染層等を除去する。この除去は、次の工程で行われるSiのエピタキシャル成長を考慮して行われるもので、必要に応じて行われれば良い。

#### 【0184】

次に、図38A、図38Bに示すように、溝パターン123から露出したSi基板110の表面から自然酸化膜等を除去した後、Siをエピタキシャル成長させ、エピタキシャルSi層101を形成する。その膜厚は、溝パターン123の中を完全に埋め込めるような膜厚に設定される。その膜厚の具体的な例は、400nm程度である。次に、マスク層（SiO<sub>2</sub>）122をマスクに用いて、エピタキシャルSi層101の表面をCMPし、溝パターン123からマスク層122上にはみ出したエピタキシャルSi層101を除去する。これにより、エピタキシャルSi層101の表面の凹凸を除去する。このようにすると、溝パターン123中に形成されたエピタキシャルSi層101のファセット等を除去でき、溝パターン123に、エピタキシャルSi層101を精度良く形成できる。エピタキシャル成長の際の成長温度や雰囲気、前処理等には注意し、例えばエピタキシャルSi層101とSi基板110との界面に、結晶欠陥等が形成されないようにすることが重要である。

#### 【0185】

また、本例では、マスク層（SiO<sub>2</sub>）122をマスクに用いて、エピタキシャルSi層101をCMPしたが、CMP条件等を調整することにより、マスク

層 ( $\text{SiO}_2$ ) 122を、省略することもできる。

### 【0186】

次に、図39A、図39Bに示すように、エピタキシャル  $\text{Si}$  層101中の少なくともトランジスタ・チャネル形成領域を含む領域に、レジスト膜（図示せず）をマスクに用いて、例えばボロンイオン（ $\text{B}^+$ ）をイオン注入し、ピーク濃度で  $2 \times 10^{18} \text{ cm}^{-3}$  程度の不純物濃度を持つ高濃度不純物層112を形成する。この高濃度不純物層112は、パンチスルー・ストッパー層として機能する。この工程時、エピタキシャル  $\text{Si}$  層101表面には、8 nm程度の膜厚の酸化膜（図示せず）を形成しておき、レジスト膜からのエピタキシャル  $\text{Si}$  層101への汚染、例えばメタル汚染等を防止する。また、注入されたイオンの活性化には、例えば900°C、窒素（ $\text{N}_2$ ）雰囲気中で5分程度のRTA処理を用いる。これにより、急峻なプロファイルを持つP型高濃度不純物層112を形成することができる。さらに、例えばトランジスタ・チャネル形成領域を含む領域に、レジスト膜（図示せず）をマスクに用いて、所望の導電型の不純物イオンを注入し、チャネル不純物層115を形成する。このとき、チャネル不純物層115は、不純物イオンをトランジスタ・チャネル領域にのみ選択的に注入することで形成しても良い。形成されるMOSFETがNチャネル型で、そのしきい値電圧（ $V_{th}$ ）を、例えば0.7V程度に設定したい場合には、例えばボロンイオン（ $\text{B}^+$ ）を、加速電圧20KeV、 $5 \times 10^{12} \text{ cm}^{-2}$  程度イオン注入し、P型のチャネル不純物層115を、チャネルとなる領域に、選択的に均一なプロファイルとなるように形成する。この工程は、酸化膜（図示せず）を通してイオン注入を行なう。チャネル不純物層115の活性化は、この後、例えばRTA処理を用いて、例えば750°C、10秒程度の熱処理で行なっても良い。

### 【0187】

次に、図40A、図40Bに示すように、マスク層( $\text{SiO}_2$ )122、および上記酸化膜（図示せず）を除去し、マスク層( $\text{SiN}$ )121を、例えばホットリソングル酸溶液を用いて完全に除去する。このようにすることにより、エピタキシャル  $\text{Si}$  層101の下部領域の周辺にのみ、素子分離絶縁膜( $\text{SiO}_2$ )114を均一な膜厚でウェーハ全面に残置することができる。

## 【0188】

次に、図41A、図41Bに示すように、エピタキシャルSi層からなる凸状薄膜Si層113の上面と、およびその側面に露出したSi層の表面に、ゲート絶縁膜118を形成する。ゲート絶縁膜118は、例えば露出したSiの表面を、例えば700°C程度のラジカル酸化法を用いて、約2.5nm程度酸化することで形成される。このラジカル酸化法を用いたゲート絶縁膜118の形成では、特に側面の面方位に依存し難く、Si表面の凸凹が少ない酸化膜を実現できるので、チャネル界面散乱によるチャネル・モビリティの低下の少ないMOSトランジスタを実現できる。また、ラジカル酸化は、酸化膜の膜厚がある温度では一定の膜厚しか形成できないので、酸化膜のウェーハ面内およびチップ間での酸化膜の膜厚バラツキを少なくできる、という特長がある。もちろん、ゲート絶縁膜118には、熱酸化法を用いて、通常熱酸化膜を形成し、その表面を、窒素を含むガスで窒化することによりSiON膜とする、いわゆる「オキシナイトライド膜」ゲート絶縁膜を用いても良い。

## 【0189】

また、図25を参照して上述したように、ゲート絶縁膜118には、Ta<sub>2</sub>O<sub>5</sub>（タンタルオキサイド）膜、Al<sub>2</sub>O<sub>3</sub>膜、La<sub>2</sub>O<sub>3</sub>膜、HfO<sub>2</sub>膜、ZrO<sub>2</sub>膜等の、いわゆる高誘電体絶縁膜を用いても良いし、例えば1nm程度のSi酸化膜系の膜をSi界面に形成してから、その上にTa<sub>2</sub>O<sub>5</sub>膜を形成する、いわゆる積層膜ゲート絶縁膜構造にして使用しても良い。

## 【0190】

次に、図42A、図42Bに示すように、ゲート電極116となる、例えばN型不純物をドープしたドープト多結晶Si膜（膜厚50nm程度）を、図41A、図41Bに示す構造上に堆積形成し、その上にゲートキャップ膜124となる、例えばSiN膜を50nm程度、堆積形成する。次いで、レジスト膜（図示せず）をマスクに用いて、まず、ゲートキャップ絶縁膜（SiN）124をエッチングし、次いで、ゲートキャップ絶縁膜（SiN）124をマスクに用いて、ドープト多結晶Si膜をパターニングする。これにより、ゲート電極116が形成される。このとき、ゲート電極116は、凸状薄膜Si層113の段差を跨ぐよ

うに加工される。このため、ゲート電極116のエッティング速度とゲート絶縁膜118や素子分離絶縁膜114とのエッティング速度との比（選択比）を充分にとれる、例えば400程度あるような条件を用いて、ドープト多結晶Si膜をパターニングすることが重要である。このようなエッティング条件を用いることで、凸状薄膜Si層113へのエッティング・ダメージを防止できる。

#### 【0191】

また、ゲート電極116の抵抗を低下させるために、ドープト多結晶Si膜の代わりに、メタル膜（TiN膜、W膜、Al膜などやその積層膜）、あるいは多結晶Si膜とW膜、TiN膜、Al膜、Cu膜などのメタル膜やTi<sub>2</sub>Si膜などのシリサイド膜との積層ゲート電極構造を用いることも可能である。

#### 【0192】

さらに、ゲート電極116の材料をTiN等とした場合、その配向性等を調整することにより、ゲート電極116の仕事関数の変化を利用してMOSFETのしきい値電圧を調整することも可能である。

#### 【0193】

また、ゲート電極110の長さ（いわゆるゲート長）は、例えば70nm程度とする。この発明では、PMOSFETのショートチャネル効果を抑制できるので、Nチャネル、PMOSFET共に同じチャネル長を用いるように設計しても良い。

#### 【0194】

以下の工程は、特別に図示しないが、第1実施形態の図9A、図9B以降に示したように、ソース／ドレイン領域の形成、全面にCVD-SiO<sub>2</sub>膜を堆積した後のCMPによる平坦化、コンタクトホールの形成、さらに、Al配線層の形成、全面にパッシバーション膜の堆積により、MOSFETの基本構造が完了する。

#### 【0195】

このようなエピタキシャルSi層101を用いて、凸状薄膜Si層113を形成し、この凸状薄膜Si層113の両側面に、好ましくは完全空乏化チャネルを持つダブルゲート型のMOSFET構造により、

(1) 凸状薄膜Si層113の幅を溝パターン123の幅で決めることができ、凸状薄膜Si層113をエッティングにより形成する場合に比べて、側面のエッティング・ダメージが無いので、側面のゲート絶縁膜118の歩留まりが良い。

#### 【0196】

(2) 凸状薄膜Si層113の下部領域の周辺に、素子分離絶縁膜114の膜厚を一定に形成できるため、素子分離の歩留まりが向上する。

#### 【0197】

(3) 凸状薄膜Si層113中に形成したソース／ドレイン領域と凸状薄膜Si層の下部領域に形成した素子分離絶縁膜114の間を離すことにより、本MOSFETのチャネル幅を、ソース／ドレイン領域の深さにより制御することができる。

#### 【0198】

(4) 凸状薄膜Si層113の幅(Wg)は0.20μmより狭いものとすることにより、両側に形成したゲート電極116によって、チャネル領域115を完全に空乏化することができる。チャネル領域115を完全に空乏化することで、チャネル領域115の不純物濃度を、平面型のチャネルの場合に比べて低濃度化することができる。このため、チャネル領域115におけるキャリアのモビリティの低下を抑制できる。また、不純物濃度の揺らぎの影響を受け難い。また、ゲート絶縁膜118の膜厚バラツキに対しても、強い構造を実現できる。

#### 【0199】

(5) 凸状薄膜Si層113のチャネル領域115とウェル111(もしくはSi基板110)との間に、高濃度不純物層(パンチスルーアストップバー層)112を設けることにより、MOSFETのパンチスルーを防止することができる。

#### 【0200】

(6) 凸状薄膜Si層113の側面において、ソースとドレイン間の距離を、凸状薄膜Si層113の上部領域において短く、下部領域に向かって広くなるような形状を実現することにより、ソース／ドレイン間のパンチスルーを防止できる。

## 【0201】

(7) 凸状薄膜S i層113の下部領域において、ソース／ドレイン領域117の一部が、ゲート電極116よりも自己整合的に外側になった、従来と極めて異なる形状に形成する。このようなゲート電極116とソース／ドレイン領域117の一部とが互いにオフセットするオフセット構造を設けることによって、凸状薄膜S i層113の下部領域におけるパンチスルーを効果的に防止できる。

## 【0202】

(8) 凸状薄膜S i層113を持つトランジスタ構造において、ゲート絶縁膜118にTa<sub>2</sub>O<sub>5</sub>膜などのいわゆる高誘電体絶縁膜を用いることができる。そして、トランジスタ構造が凸状で、側面の両側にゲート電極116がある構造のため、より効果的にトランジスタのカットオフ特性を向上できる。

## 【0203】

## (第17実施形態)

図43A～図47A、図43B～図47Bは、この発明の第17の実施形態に係るMOSFETの製造方法を示す工程断面図である。なお、図43A～図47Aに示す断面は図2Bに示す断面に相当し、図43B～図47Bに示す断面は図2Cに示す断面に相当する。

## 【0204】

第16実施形態では、エピタキシャルS i層101を用いて、凸状薄膜S i層113を形成し、完全空乏化チャネルを持つダブルゲート型のMOSFET構造を形成する、という製造方法について説明した。

## 【0205】

本第17実施形態では、エピタキシャルS i層101を用いて、凸状薄膜S i層113を形成するが、その凸状薄膜S i層113の上面に、その側面と異なった膜厚のゲート絶縁膜118bを形成する方法について述べる。

## 【0206】

まず、図43A、43Bに示すように、不純物濃度 $5 \times 10^{15} \text{ cm}^{-3}$ 程度の面方位(100)P型Si基板110のトランジスタ・チャネル領域に、NMOSFETを形成する場合にはP型ウェル111(ピーク不純物濃度で、例えば $4 \times$

$10^{17} \text{ cm}^{-3}$ 程度)を、例えばボロンイオン( $\text{B}^+$ )を、加速電圧 $260\text{ keV}$ 、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ 程度イオン注入することにより形成する。また、PMOSFETを形成する場合にはNウェル(図示せず)を形成する。次に、Si基板110上方の全面に、後に素子分離絶縁膜となる $\text{SiO}_2$ 膜114を、例えば $100\text{ nm}$ 程度形成する。次に、エピタキシャルSi層を成長する場合の溝のメイン材料となるマスク層( $\text{SiN}$ )121を、例えば $250\text{ nm}$ 程度形成する。次に、これらの積層膜に、例えば通常のレジスト膜(図示せず)とRIE法とを用いて、所望のパターンを形成する。本例では、エピタキシャルSi層からなる凸状薄膜Si層を形成するための溝パターン123が形成される。この後、次の工程で行われるSiのエピタキシャル成長を考慮し、溝パターン123から露出したSi基板10の表面から、RIE時のエッティング・ダメージや有機物汚染層等を除去する工程を行なっても良い。次に、溝パターン123から露出したSi基板110の表面から自然酸化膜等を除去した後、Siをエピタキシャル成長させ、エピタキシャルSi層101を形成する。その膜厚は、溝パターン123の中を完全に埋め込めるような膜厚に設定される。その膜厚の具体的な例は、 $400\text{ nm}$ 程度である。次に、エピタキシャルSi層101の表面をCMPし、溝からはみ出したエピタキシャルSi層を除去する。これにより、エピタキシャルSi層101の表面の凹凸を除去する。このようにすると、溝パターン123中に形成されたエピタキシャルSi層101のファセット等を除去でき、溝パターン123に、エピタキシャルSi層101を精度良く形成できる。エピタキシャル成長の際の成長温度や雰囲気、前処理等には注意し、例えばエピタキシャルSi層101とSi基板110との界面に、結晶欠陥等が形成されないようにすることが重要である。

#### 【0207】

次に、図44A、図44Bに示すように、露出したエピタキシャルSi層101表面に、ゲート絶縁膜(TOP絶縁膜)118bを、例えば $20\text{ nm}$ 程度形成する。このとき、熱酸化法を用いると、マスク層( $\text{SiN}$ )121があることから、露出したエピタキシャルSi層101の表面にのみ、選択的にゲート絶縁膜(TOP絶縁膜)118bを形成できる。

## 【0208】

次に、図45A、図45Bに示すように、エピタキシャルSi層101中の少なくともトランジスタ・チャネル形成領域を含む領域に、レジスト膜（図示せぬ）をマスクに用いて、例えばボロンイオン（B<sup>+</sup>）をイオン注入し、ピーク濃度で  $8 \times 10^{17} \text{ cm}^{-3}$  程度の不純物濃度を持つ高濃度不純物層112を形成する。この高濃度不純物層112は、パンチスルー・ストッパー層として機能する。このときに入射されたイオンの活性化には、例えば900°C、窒素（N<sub>2</sub>）雰囲気中で5分程度のRTA処理を用いる。これにより、急峻なプロファイルを持つP型高濃度不純物層112を形成する。さらに、例えばトランジスタ・チャネル形成領域を含む領域に、レジスト膜（図示せず）をマスクに用いて、所望の導電型の不純物イオンを注入し、チャネル不純物層115を形成する。このとき、チャネル不純物層115は、不純物イオンをトランジスタ・チャネル領域にのみ選択的に注入することで形成しても良い。形成されるMOSFETがNチャネル型で、そのしきい値電圧（V<sub>th</sub>）を、例えば0.4V程度に設定したい場合には、例えばボロンイオン（B<sup>+</sup>）を、加速電圧20KeV、 $3 \times 10^{12} \text{ cm}^{-2}$  程度イオン注入し、P型のチャネル不純物層115を、チャネルとなる領域に、選択的に均一なプロファイルとなるように形成する。チャネル不純物層115の活性化は、この後、例えばRTA処理を用いて、例えば750°C、10秒程度の熱処理で行なっても良い。

## 【0209】

なお、本例では、P型のチャネル不純物層115を得るためのイオン注入を、ゲート絶縁膜（TOP絶縁膜）118bを通して行なう例を示した。しかし、まず、8nm程度の膜厚の犠牲酸化膜をエピタキシャルSi層101の表面に形成し、この犠牲酸化膜を通してイオン注入を行なった後に、この犠牲酸化膜を剥離して、新たにエピタキシャルSi層101の表面に、ゲート絶縁膜（TOP絶縁膜）118bを形成しても良い。このように犠牲酸化膜を通してイオン注入を行うことで、レジスト膜をマスクにしてイオン注入を行なうときのレジスト膜からのエピタキシャルSi層101へのメタル汚染等を防止することができる。

## 【0210】

次に、図46A、図46Bに示すように、マスク層(SiN)121を、例えばホットリン酸溶液を用いて完全に除去する。このようにすることにより、エピタキシャルSi層101の下部領域の周辺にのみ、素子分離絶縁膜(SiO<sub>2</sub>)114を均一な膜厚でウェーハ全面に残置することができる。次に、エピタキシャルSi層からなる凸状薄膜Si層113の上面と、およびその側面に露出したSi層の表面に、ゲート絶縁膜118を形成する。ゲート絶縁膜118は、例えば露出したSiの表面を、例えば700°C程度のラジカル酸化法を用いて、約2.5nm程度酸化することで形成される。このラジカル酸化法を用いたゲート絶縁膜118の形成では、特に側面の面方位に依存し難く、Si表面の凸凹が少ない酸化膜を実現できるので、チャネル界面散乱によるチャネル・モビリティの低下の少ないMOSトランジスタを実現できる。また、ラジカル酸化は、酸化膜の膜厚がある温度では一定の膜厚しか形成できないので、酸化膜のウェーハ面内およびチップ間での酸化膜の膜厚バラツキを少なくできる、という特長がある。もちろん、ゲート絶縁膜118には、熱酸化法を用いて、通常熱酸化膜を形成し、その表面を、窒素を含むガスで窒化することによりSiON膜とする、いわゆる「オキシナイトライド膜」ゲート絶縁膜を用いても良い。

#### 【0211】

また、図25を参照して上述したように、ゲート絶縁膜118には、Ta<sub>2</sub>O<sub>5</sub>(タンタルオキサイド)膜やHfO<sub>2</sub>膜、ZrO<sub>2</sub>膜等の、いわゆる高誘電体絶縁膜を用いても良いし、例えば1nm程度のSi酸化膜系の膜をSi界面に形成してから、その上にTa<sub>2</sub>O<sub>5</sub>膜を形成する、いわゆる積層膜ゲート絶縁膜構造にして使用しても良い。

#### 【0212】

次に、図47A、図47Bに示すように、ゲート電極116となる、例えばN型不純物をドープしたドープト多結晶Si膜(膜厚80nm程度)を、図41A、図41Bに示す構造上に堆積形成し、その上にゲートキャップ膜124となる、例えばSiN膜を50nm程度、堆積形成する。次いで、レジスト膜(図示せず)をマスクに用いて、まず、ゲートキャップ絶縁膜(SiN)124をエッチングし、次いで、ゲートキャップ絶縁膜(SiN)124をマスクに用いて、ド

ドープ多結晶Si膜をパターニングする。これにより、ゲート電極116が形成される。このとき、ゲート電極116は、凸状薄膜Si層113の段差を跨ぐように加工される。このため、ゲート電極116のエッティング速度とゲート絶縁膜118や素子分離絶縁膜114とのエッティング速度との比（選択比）を充分に取れる、例えば400程度あるような条件を用いて、ドープ多結晶Si膜をパターニングすることが重要である。このようなエッティング条件を用いることで、凸状薄膜Si層113へのエッティング・ダメージを防止できる。

#### 【0213】

また、ゲート電極16の抵抗を低下させるために、ドープ多結晶Si膜の代わりに、メタル膜（TiN膜、W膜、Al膜などやその積層膜）、あるいは多結晶Si膜とW膜、TiN膜、Al膜、Cu膜などのメタル膜やTiSi<sub>2</sub>膜などのシリサイド膜との積層ゲート電極構造を用いることも可能である。

#### 【0214】

さらに、ゲート電極16の材料をTiN等とした場合、その配向性等を調整することにより、ゲート電極16の仕事関数の変化を利用してMOSFETのしきい値電圧を調整することも可能である。

#### 【0215】

また、ゲート電極16の長さ（いわゆるゲート長）は、例えば50～70nm程度とする。この発明では、詳しくは後述するがPMOSFETのショートチャネル効果を抑制できるので、Nチャネル、PMOSFET共に同じチャネル長を用いるように設計しても良い。

#### 【0216】

このような構造を用いることで、凸状薄膜Si層113の3面（上面、両側面）のチャネル領域115において、上面に形成されたゲート絶縁膜（TOP絶縁膜）118bの膜厚が、両側面に形成されたゲート絶縁膜118aの膜厚より厚いため、上部コーナーにおけるゲート電界集中の影響を低減することができる。よって、しきい値電圧を所望の値に高精度に設定でき、また、基板バイアス特性、即ち基板バイアスを印加したときのしきい値電圧の変動を抑制することができる。

## 【0217】

(第18実施形態)

図48Aはこの発明の第18実施形態に係る相補型MOSFETを示す平面図、図48Bは図48A中の48B-48B線に沿う断面図、図48Cは図48A中の48C-48C線に沿う断面図、図48Dは図48A中の48D-48D線に沿う断面図である。

## 【0218】

以下、第18実施形態を、その製造方法とともに説明する。

## 【0219】

図49～図54はそれぞれ、第18実施形態に係る相補型MOSFETを主要な製造工程毎に示す工程断面図である。なお、図49～図54に示す断面は、図48Bに示す断面に対応している。

## 【0220】

まず、図49に示すように、不純物濃度 $5 \times 10^{15} \text{ cm}^{-3}$ 程度の面方位(100)P型Si基板310の、NMOSFET形成領域(NMOSFET領域)に、レジスト膜(図示せぬ)をマスクに用いて、例えばボロンイオン( $B^+$ )を、加速電圧200KeV、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ 程度イオン注入し、P型ウェル311p(ピーク不純物濃度で、例えば $4 \times 10^{17} \text{ cm}^{-3}$ 程度)を形成する。

## 【0221】

次に、P型ウェル311p中の、少なくともNチャネルのトランジスタ・チャネル形成領域を含む領域に、レジスト膜(図示せぬ)をマスクに用いて、例えばボロンイオン( $B^+$ )をイオン注入し、ピーク濃度で $8 \times 10^{17} \text{ cm}^{-3}$ 程度の不純物濃度を持つP型高濃度不純物層312pを形成する。P型高濃度不純物層312pは、パンチスルー・ストッパー層として機能する。

## 【0222】

次に、P型Si基板310の、PMOSFET形成領域(PMOSFET領域)に、レジスト膜(図示せぬ)をマスクに用いて、例えばリンイオン( $P^+$ )を、加速電圧600KeV、ドーズ量 $2.5 \times 10^{13} \text{ cm}^{-2}$ 程度イオン注入し、N型ウェル311n(ピーク不純物濃度で、例えば $5 \times 10^{17} \text{ cm}^{-3}$ 程度)を形成

する。

#### 【0223】

次に、N型ウェル311n中の、少なくともPチャネルのトランジスタ・チャネル形成領域を含む領域に、レジスト膜（図示せぬ）をマスクに用いて、例えばリンイオン（ $P^+$ ）を、加速電圧130KeV、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ 程度でイオン注入し、ピーク濃度で $9 \times 10^{17} \text{ cm}^{-3}$ 程度の不純物濃度を持つN型高濃度不純物層312nを形成する。N型高濃度不純物層312nは、パンチスルー・ストッパー層として機能する。

#### 【0224】

これらのイオン注入工程時、P型Si基板310の表面に、8nm程度の膜厚の酸化膜（図示せず）を形成しておく。このようにして、レジスト膜（図示せず）からのP型Si基板310への汚染、例えばメタル汚染を防止する。また、注入されたイオンの活性化には、例えば900°C、窒素（N<sub>2</sub>）雰囲気中で5分程度のRTA処理を用いる。これにより、急峻なプロファイルを持つ高濃度不純物層312p、312nを形成することができる。

#### 【0225】

さらに、全面にP型で、 $10^{15} \text{ cm}^{-3}$ 程度の不純物濃度を持つエピタキシャルSi層301を、膜厚200nm程度形成する。

#### 【0226】

さらに、例えばトランジスタ・P型チャネル形成領域、およびN型チャネル形成領域を含む領域に、レジスト膜（図示せず）をマスクに用いて、所望の導電型の不純物イオンを注入し、N型チャネル不純物層315n、P型チャネル不純物層315pを形成する。このとき、これらチャネル不純物層315n、P型チャネル不純物層315pはそれぞれ、不純物イオンをトランジスタ・P型チャネル形成領域、およびN型チャネル形成領域にのみ選択的に注入することで形成しても良い。本例では、後者を採用しており、図49に示す断面には、それぞれ選択的に形成されたLOCALチャネル領域（P型層）315p、およびLOCALチャネル領域（N型層）315nが示されている。

#### 【0227】

形成されるMOSFETがNチャネル型で、そのしきい値電圧（V<sub>t h</sub>）を、例えば0.4V程度に設定したい場合には、例えばフッ化ボロンイオン（BF<sub>2</sub><sup>+</sup>）を、15KeV、 $3 \times 10^{12} \text{ cm}^{-2}$ 程度イオン注入し、P型LOCALチャネル領域315pを、チャネルとなる領域に、選択的に均一なプロファイルとなるように形成する。

#### 【0228】

同様に、形成されるMOSFETがPチャネル型で、そのしきい値電圧（V<sub>t h</sub>）を、例えば-0.4V程度に設定したい場合には、例えばリンイオン（P<sup>+</sup>）を、加速電圧100KeV、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ 程度イオン注入し、N型LOCALチャネル領域315nを、チャネルとなる領域に、選択的に均一なプロファイルとなるように形成する。これらの工程は、酸化膜（図示せず）を通してイオン注入を行なう。このチャネル領域315p、315nの活性化は、この後、例えば、RTA処理を用いて、例えば750℃、10秒程度の熱処理で行なっても良い。

#### 【0229】

次に、上記酸化膜（図示せず）を除去し、再度、全面に5nm程度の膜厚のSiO<sub>2</sub>層320、20nm程度の膜厚のマスク層（SiN）膜321、20nm程度の膜厚のマスク層（SiO<sub>2</sub>層）322を形成し、リソグラフィ法とRIE法を用いて、所望の形状、例えばNMOSFET、およびPMOSFETそれぞれの素子領域となる形状に加工する。図49中の点線は、後の工程でエッチング除去される領域を示している。

#### 【0230】

次に、図50に示すように、図49に示す構造を、マスク層322をエッチングマスクに用いてエッチングし、ソース、ドレイン、チャネルとなる凸状薄膜Si層（フェンス）313p、313nをそれぞれ形成する。これら凸状薄膜Si層313p、313nの高さはそれぞれ、例えば250nm程度である。このように、図49に示す構造を、Si基板310中のP型ウェル311pの一部、およびN型ウェル311nの一部に達するまで、例えばRIE法を用いてエッチングすることで、深さ250nm程度の溝が形成される。これにより、凸状薄膜Si

i層313p、313nがそれぞれ形成される。次に、凸状薄膜Si層313p、313nの側面や溝の底を、アッシングとウェット処理等を用いてクリーニングするとともに、RIEによってダメージを受けたSi層を除去する。これにより、凸状薄膜Si層313p、313nの側面や溝の底に、ダメージの少ないSi表面を露出させる。次に、凸状薄膜Si層313p、313nの側面や溝の底に、界面特性を良くする目的で、酸化膜（図示せず）を形成する。この酸化膜の形成には、低温（例えば700°C程度）で良質の酸化膜を形成できる、酸素ラジカルを用いたラジカル酸化法を用いるのが望ましい。このようにラジカル酸化法を用いて、凸状薄膜Si層313p、313nの側面や溝の底に、7nm程度の膜厚の酸化膜（図示せず）を形成する。

### 【0231】

次に、前記酸化膜を介して、溝を、絶縁膜、例えばSiO<sub>2</sub>、好ましくはTEOS-SiO<sub>2</sub>層323により埋め込む。これにより、いわゆるトレンチ型素子分離（STI）を形成する。これには、全面に500nm程度のTEOS-SiO<sub>2</sub>層323を、成膜温度650°C程度のCVD法を用いて堆積形成した後、例えば700°C程度のラジカル酸化雰囲気で、TEOS-SiO<sub>2</sub>層323を、CVD酸化膜のデンシファイする。この後、CMP法を用いて、TEOS-SiO<sub>2</sub>層323の表面を、平坦化する。このとき、SiN膜321の表面まで、TEOS-SiO<sub>2</sub>層323を埋め込む。これにより、溝は、TEOS-SiO<sub>2</sub>層323により平坦に埋め込まれる。

### 【0232】

次に、図51に示すように、TEOS-SiO<sub>2</sub>層323を、例えばRIE法を用いてエッチバックすることにより、溝の底部に、例えば100nm程度の膜厚となる素子分離用の素子分離絶縁膜314を形成する。

### 【0233】

次に、図52に示すように、マスク層（SiN）321を、例えばホット磷酸等を用いて、ウェット除去する。次いで、溝の側面に形成されている酸化膜（図示せず）およびSiO<sub>2</sub>層320を、フッ酸系の溶液を用いて剥離し、凸状薄膜Si層313p、313nの上面、およびその側面からSi表面を露出させる。

次いで、露出した Si の表面に、例えば 700°C 程度のラジカル酸化法を用いて、約 2.5 nm 程度の膜厚のゲート絶縁膜 318 を形成する。このラジカル酸化法を用いたゲート絶縁膜 318 の形成では、特に側面の面方位に依存し難く、Si 表面の凸凹が少ない酸化膜を実現できるので、チャネル界面散乱によるチャネル・モビリティの低下の少ない MOS トランジスタを実現できる。また、ラジカル酸化は、酸化膜の膜厚がある温度では一定の膜厚しか形成できないので、酸化膜のウェーハ面内およびチップ間での酸化膜の膜厚バラツキを少なくできる、という特長がある。もちろん、ゲート絶縁膜 318 には、熱酸化法を用いて、通常熱酸化膜を形成し、その表面を、窒素を含むガスで窒化することにより SiON 膜とする、いわゆる「オキシナイトライド膜」ゲート絶縁膜を用いても良い。

#### 【0234】

さらに、図 25 に示すように、ゲート絶縁膜 18 は、SiO<sub>2</sub> 膜に限らず、Ta<sub>2</sub>O<sub>5</sub>（タンタルオキサイド）膜や、HfO<sub>2</sub> 膜、ZrO<sub>2</sub> 膜等の、いわゆる高誘電体絶縁膜（high-K 膜）を用いても良い。また、Ta<sub>2</sub>O<sub>5</sub> 膜を用いた場合、Si 界面との界面準位密度を減らすために、例えば 1 nm 程度の Si 酸化膜系の膜を Si 界面に形成してから、その上に Ta<sub>2</sub>O<sub>5</sub> 膜を形成する、いわゆる積層膜ゲート絶縁膜構造にして使用しても良い。

#### 【0235】

次に、図 53 に示すように、ゲート電極 316 となる、例えば N 型不純物がドープされたドープト多結晶 Si 膜（膜厚 50 nm 程度）を、図 52 に示す構造上に堆積形成し、その上にゲートキャップ絶縁膜 324 となる、例えば SiN 膜を 100 nm 程度、堆積形成する。次いで、レジスト膜（図示せず）をマスクに用いて、まず、ゲートキャップ絶縁膜（SiN）324 をエッチングし、次いで、ゲートキャップ絶縁膜（SiN）324 をマスクに用いて、ドープト多結晶 Si 膜をパターニングする。これにより、ゲート電極 316 が形成される。このとき、ゲート電極 316 は、凸状薄膜 Si 層 313 の段差を跨ぐように加工される。このため、ゲート電極 316 のエッチング速度とゲート絶縁膜 318 のエッチング速度との比（選択比）を充分にとれる、例えば 400 度あるような条件を用いて、ドープト多結晶 Si 膜をパターニングすることが重要である。このような

エッティング条件を用いることで、凸状薄膜S i層313p、313nそれぞれへのエッティング・ダメージを防止できる。また、ゲート電極316の抵抗を低下させるために、ドープト多結晶S i膜の代わりに、メタル膜（TiN膜、W膜、Al膜などやその積層膜）、あるいは多結晶S i膜とW膜、TiN膜、Al膜、Cu膜などのメタル膜やTiSi<sub>2</sub>膜などのシリサイド膜との積層ゲート電極構造を用いることも可能である。さらに、ゲート電極316の材料をTiN等とした場合、その配向性等を調整することにより、ゲート電極16の仕事関数の変化を利用してMOSFETのしきい値電圧を調整することも可能である。

#### 【0236】

さらに本例のようにCMOS構造の場合、NチャネルにはN<sup>+</sup>型多結晶S i層ゲート電極、PチャネルにはP<sup>+</sup>型多結晶S i層ゲート電極を電極界面層として用いることも可能である。

#### 【0237】

また、ゲート電極316の長さ（いわゆるゲート長）は、例えば70nm程度とする。この発明では、PMOSFETのショートチャネル効果を抑制できるので、Nチャネル、PMOSFET共に同じチャネル長を用いるように設計することも可能である。

#### 【0238】

次に、図54に示すように、レジスト膜（図示せず）、ゲートキャップ絶縁膜324、およびゲート電極316をマスクに用いたイオン注入法により、P型ソース／ドレイン領域317p、およびN型ソース／ドレイン領域317nをそれぞれ形成する。このとき、ゲート電極316の側壁や、底部コーナーの電界集中を緩和するために、ゲート電極316を、例えばラジカル酸化法や低温のRTO法等を用いて酸化し、例えば2nm程度の膜厚を持つ酸化膜（図示せず）を形成しても良い。

#### 【0239】

また、ソース／ドレイン領域317p、317nの深さ（Xj）制御は、凸状S iトランジスタのチャネル幅を決める重要な工程である。特にソース／ドレイン領域317p、317nの不純物の活性化等を含めて熱処理の温度設定に注意

が必要である。

#### 【0240】

本例では、このために、まず、N<sup>-</sup>型拡散層317naと、P<sup>-</sup>型拡散層317paとを、ゲート電極316をマスク用いて形成した後、絶縁膜(SiO<sub>2</sub>膜やSiN膜)を、全面にCVD法で堆積する。また、N<sup>-</sup>型拡散層317naを形成する際のイオン注入条件は、例えば、リンイオン(P<sup>+</sup>)の注入を、加速電圧40KeV、ドーズ量 $4 \times 10^{13} \text{ cm}^{-2}$ 程度である。もちろん、砒素イオン(As)等をイオン注入しても良い。この後、全面をRIEし、ゲート電極316パターンの側壁、および凸状薄膜Si層313p、313nの側壁に、側壁絶縁膜325を形成する。この後、例えば砒素(As<sup>+</sup>)イオンを、加速電圧20KeV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ 程度イオン注入し、N型ソース／ドレイン領域(N<sup>+</sup>型拡散層)317nbを形成し、さらにフッ化硼RN(BF<sub>2</sub><sup>+</sup>)イオンを注入し、P型ソース／ドレイン領域(P<sup>+</sup>型拡散層)317nbを形成する。これにより、図29Dに示したような、いわゆるゲート・エクステンション構造を持ったソース／ドレイン領域317p、317nをそれぞれ形成する。もちろんシングル・ソース／ドレイン構造とすることも可能である。

#### 【0241】

N型ソース／ドレイン領域317nの深さ(Wn)、およびP型ソース／ドレイン領域317pの深さ(Wp)は、最終的なイオン注入層形成後の熱的な活性化や熱処理条件により制御される。例えばN型の接合深さ(Wn)=0.15μm程度になるように、また、P型の接合深さ(Wp):0.20μm程度になるようにそれぞれのイオン注入条件(加速電圧とドーズ量)および熱的な活性化条件を制御して実現する。

#### 【0242】

また、ソース／ドレイン領域317n、317pの比抵抗を低下させる必要がある場合には、例えば<50μΩcm程度より低くした場合には、ソース／ドレイン領域317n、317pの表面に、TiSi<sub>2</sub>やCoSi<sub>2</sub>、PtSi、Pd<sub>2</sub>Si、IrSi<sub>3</sub>、RhSi等のシリサイド層(図示せず)を形成しても良い。特にP型ソース／ドレイン領域317pにおいては、Pd<sub>2</sub>Siが有効である。

## 【0243】

本例では、凸状薄膜Si層313pの側面のN型ソース／ドレイン領域317nの下部、および凸状薄膜Si層313nの側面のP型ソース／ドレイン領域317pの下部それぞれに、ゲート電極316とオフセットとなるオフセット領域が存在することになる。これはソース／ドレイン領域317n、317pを、表面からのイオン注入法と熱拡散により形成しているからである。このオフセット領域の存在と、パンチスルーアンチストップ層（パンチスルーアントラップ層312）とにより、ソース／ドレイン領域317n、317pの下部領域におけるパンチスルーアンチストップ層が防止できる構造となっている。

## 【0244】

さらに本例では、凸状薄膜Si層313n、313pそれぞれの側面が、側壁絶縁膜325によって覆われているので、ソース／ドレイン領域317n、317pを形成するためのイオン注入時、凸状薄膜Si層313n、313pそれぞれの上面へのイオン注入がメインとなり、側面への不純物のイオン注入は防止できる構造となっている。

## 【0245】

次に、図48A～図48Dに示すように、CVD法を用いて、図54に示した構造上に、 $\text{SiO}_2$ を、例えば500nm程度堆積し、層間絶縁膜326を形成する。この後、層間絶縁膜326を、例えば700°C程度のラジカル酸化雰囲気で、例えば30分程度デンシファイする。この熱工程は、ソース／ドレイン領域317n、317pのイオン注入層の活性化を兼ねて行っても良い。これらソース／ドレイン領域317n、317pの深さ（Wn、Wp）を制御したい時は、デンシファイの温度を低温化する、あるいは例えば850°C程度で msec（ミリ秒）程度のRTA処理を行っても良い。さらにはこれらを併用してソース／ドレイン領域317n、317pのイオン注入層の活性化を行なっても良い。この後、CMP法を用いて、層間絶縁膜326を平坦化し、素子表面を平坦化する。次に、レジスト膜（図示せず）とRIE法を用いて、コンタクトホール327を形成し、そのコンタクトホール327にW（タングステン）膜やAl（アルミニウム）膜、TiN（窒化チタン）膜/Ti（チタン）膜やそれらの積層膜を埋め込み、

コンタクトプラグ328を形成する。さらにA1配線層329を形成する。さらに全面にパッシベーション膜（図示せず）を堆積することで、この発明の第18実施形態に係る相補型MOSFETの基本構造が完成する。

#### 【0246】

このように、この発明は、相補型MOSFETにも適用できる。これにより、CMOSインバータ回路や、配線を変更することによって各種CMOS回路を構成できる。

#### 【0247】

また、特に図48A～図48Dに示すように、平面的な設計面積はNMOSFETとPMOSFETで同じであるのに、N型ソース／ドレイン領域317nの深さ（W<sub>n</sub>）と、P型ソース／ドレイン領域317pの深さ（W<sub>p</sub>）が異なる。これは、平面的な設計面積が同じでも、Nチャネルの、Pチャネルのチャネル幅が異なるMOSFETを実現できていることを示している。

#### 【0248】

従来CMOS回路を設計する場合に、NMOSFETに比べてPMOSFETの平面的な設計面積をほぼ2倍に設計していた。電子のモビリティと正孔のモビリティとの差に起因した駆動能力のバラツキを抑制するためである。

#### 【0249】

しかし、この発明の凸状薄膜Si層を持つCMOSを使えば、W<sub>n</sub>とW<sub>p</sub>の差を用いてチャネル幅を変えることができるので、NMOSFETの平面面積とPMOSFETの平面面積との差を縮小することができる。これは本第18実施形態の大きな特長である。

#### 【0250】

本第18実施形態においても、

(1) 凸状薄膜Si層313p、313nの幅(Wg)を、例えば0.20μmより狭くすることにより、これら凸状薄膜Si層313p、313nの両側面に形成したゲート電極316によって、P型LOCALチャネル領域315p、およびN型LOCALチャネル領域315n共に、完全に空乏化することができる。これらチャネル領域315p、315nを完全に空乏化できることで、これ

らチャネル領域315p、315nの不純物濃度をそれぞれ、平面型のチャネルの場合に比べて低濃度化することができる。このため、これらチャネル領域315p、315nにおけるキャリアのモビリティの低下を抑制できる。また、不純物濃度の揺らぎの影響を受け難い。また、ゲート絶縁膜318の膜厚バラツキに対しても、強い構造を実現できる。

#### 【0251】

(2) 凸状薄膜Si層313p、313nのチャネル領域315p、315nとウェル311p、311n（もしくはSi基板310）との間に、高濃度不純物層（パンチスルー・ストッパー層）312を設けることにより、MOSFETのパンチスルーを防止することができる。

#### 【0252】

(3) 凸状薄膜Si層313p、313nの下部領域において、ソース／ドレイン領域317p、317nの一部が、ゲート電極316よりも自己整合的に外側になった、従来と極めて異なった形状に形成する。このようなゲート電極316と、ソース／ドレイン領域317p、317nの一部とが互いにオフセットするオフセット構造を設けることによって、凸状薄膜Si層313p、313nの下部領域におけるパンチスルーを効果的に防止できる。

#### 【0253】

(4) 凸状薄膜Si層313p、313nのソース／ドレイン領域317p、317nにコンタクトを形成する場合に、凸状薄膜Si層313p、313nの上面のみならず、それらの側面の一部を使用してコンタクトを形成できる。なぜならソース／ドレイン領域317p、317nとなっている凸状薄膜Si層313p、313nは、従来の同じゲート長を持つMOSFETのソース／ドレイン領域の深さに比べて何倍も深いからである。このようなソース／ドレインへのコンタクト構造により微細なMOSFETでのコンタクト抵抗を低減できる。

#### 【0254】

(5) 凸状薄膜Si層313p、313nを持つトランジスタ構造において、ソース／ドレイン領域317p、317nを、シングル・ソース／ドレイン構造ばかりでなく、いわゆるLDD的な高濃度ソース／ドレイン領域317pb、3

17nbと、低濃度ソース／ドレイン領域317pa、317naを持つ構造にしても良い。このようにするとソース／ドレイン領域317p、317n近傍の電界を緩和でき、MOSFETの信頼性を向上できる。

## 【0255】

(6) 凸状薄膜Si層313pに形成されたNMOSFETと、凸状薄膜Si層313nに形成されたPMOSFETとを用いてCMOS回路を形成する場合、P型ソース／ドレイン領域317pの深さ(Wp)と、N型ソース／ドレイン領域317nの深さ(Wn)とを異ならせる。WpとWnとを異ならせることで、電子のモビリティと正孔のモビリティとの違いに起因した、PMOSFETとNMOSFETとの平面的な設計寸法の差を縮めることができる。

## 【0256】

具体的には、P型ソース／ドレイン領域317pの深さ(Wp)を、N型ソース／ドレイン領域317nの深さ(Wn)よりも深くする。これにより、平面的な設計寸法は互いに同じであっても、PMOSFETのチャネル幅を、NMOSFETのチャネル幅より広くできる。これにより、CMOS回路を設計したとき、PMOSFETの面積を縮小でき、全体の回路面積を縮小できる。

## 【0257】

(7) 凸状薄膜Si層313p、313nに形成されたMOSFETを用いて、P型ソース／ドレイン領域317pの深さを互いに変える、また、N型ソース／ドレイン領域317nの深さを互いに変える。これにより、平面的な設計寸法が同じでも、チャネル幅が異なるMOSFETを実現できる。このようにすることにより、回路を設計したときにMOSFETの面積を縮小でき、全体の回路面積を縮小できる。

## 【0258】

## (第19実施形態)

図55Aはこの発明の第19実施形態に係る相補型MOSFETを示す平面図、図55Bは図55A中の55B-55B線に沿う断面図、図55Cは図55A中の55C-55C線に沿う断面図である。

## 【0259】

第18実施形態では、NMOSFETのN型ソース／ドレイン領域317nの深さW<sub>n</sub>と、PMOSFETのP型ソース／ドレイン領域317pの深さW<sub>p</sub>とを互いに異ならせる場合を示した。

#### 【0260】

本第19実施形態は、複数のNMOSFETそれぞれのN型ソース／ドレイン領域317n-1、317n-2、…317n-nの深さW<sub>n</sub>1、W<sub>n</sub>2、…W<sub>n</sub>nと、複数のPMOSFETそれぞれのP型ソース／ドレイン領域317p-1、317p-2、…317p-nの深さW<sub>p</sub>1、W<sub>p</sub>2、…W<sub>p</sub>nとを互いに異ならせる場合である。

#### 【0261】

図55A～図55Cでは、それぞれ2つの異なるソース／ドレイン領域深さ（チャネル幅に相当する）の場合を示しているが、n個の複数の深さを持つ場合に適用できることは明らかである。

#### 【0262】

このように複数のNチャネル、Pチャネルのチャネル幅を実現することにより、異なるチャネル幅を持つNMOSFET、PMOSFETを設計する自由度が増加する。すなわち、複数のチャネル幅を凸状薄膜Si層317n、または317pの数で実現するのか、本第19実施形態のように、複数のチャネル幅で実現するのかを、設計的、または製造的な点から選択できるようになる。このことは、本実施形態の大きな特長である。

#### 【0263】

##### (第20実施形態)

図56は、この発明の第20実施形態に係るトレンチ型キャパシタ構造を持つDRAMメモリセルを示す断面図である。なお、図56中、点線で囲まれた領域は、1ビットのDRAMメモリセルに対応する。

#### 【0264】

本第20実施形態は、例えば第1実施形態で説明したMOSFETを、DRAMメモリセルの、トレンチ型キャパシタとビット線とを互いに接続するトランジスタに用いた例である。

## 【0265】

図56に示すように、トレンチの上部側面でキャパシタの蓄積電極とソース／ドレイン領域が電気的に接続されている。従来の平面型MOSFETの構造では、この側壁コンタクト領域が縦型に深いソース／ドレインとなり、平面型MOSFETのソース／ドレイン薄膜化を阻害していた。

## 【0266】

本第20実施形態のように、本発明に係るMOSFETを用いると、側壁コンタクトからの拡散層がMOSFETのソース／ドレイン領域へ影響を与えてソース／ドレインの深さが深くなってしまっても、その影響を凸状Siの側壁に形成したゲート電極で十分に抑制できる。すなわち、側壁コンタクトからの拡散層の伸びによるショートチャネル効果を抑制できる構造となっている。この時、通過ワード線を実現するため、通常の側壁を含む第一のゲート電極はポリSi層により形成し、第一のゲート電極と通過ワード線は別の第二のゲート電極で接続する構造が望ましい。さらに第一のゲート電極間は絶縁膜で埋め込み形成するようにする方が望ましい。このようにすることで、凸状薄膜Si層を用いたMOSFET構造をDRAMのトランジスタに適用することができる。

## 【0267】

## (第21実施形態)

図57は、この発明の第21実施形態に係るスタック型キャパシタ構造を持つDRAMメモリセルを示す断面図である。なお、図57中、点線で囲まれた領域は、1ビットのDRAMメモリセルに対応する。

## 【0268】

本第21実施形態は、例えば第1実施形態で説明したMOSFETを、DRAMメモリセルの、スタック型キャパシタとビット線とを互いに接続するトランスマッタトランジスタに用いた例である。

## 【0269】

図57に示すように、本例では、ビット線コンタクトと蓄積電極コンタクトがポリSiを用いてゲート電極の上部に持ち上げられて形成されているのが特徴である。従来の平面型MOSFETの構造では、微細なコンタクト領域で十分にコ

ンタクト抵抗を低下させることが困難であった。本実施例の凸状S i構造MOSFETを用いると、コンタクトが平面部のみならず側面部も利用して形成できるためコンタクト抵抗が低減できる。また、Ta2O5膜やBST膜、STO膜などの高誘電体絶縁膜を用いたスタッカドキャパシタの場合、MOSFETを形成した後にキャパシタ形成を行なうが、その時の高温工程（750度程度の結晶化アニールなど）でMOSFETのソース／ドレイン領域深さが伸びてしまい、ショートチャネル効果が起きてしまう問題があった。

#### 【0270】

本第21実施形態のMOSFET構造ではショートチャネル効果を十分に抑制できる。すなわち、キャパシタ形成工程でのソース／ドレイン領域の伸びによるショートチャネル効果を抑制できる構造となっている。この時、通過ワード線を実現するため、通常の側壁を含む第一のゲート電極はポリS i層により形成し、第一のゲート電極と通過ワード線は別の第二のゲート電極で接続する構造が望ましい。さらに第一のゲート電極間は絶縁膜で埋め込み形成するようとする方が望ましい。ここではピット線の上にキャパシタを形成する例を述べたが、キャパシタの上にピット線を構成しても良いし、配線の上にキャパシタを形成しても良い。このようにすることで、凸状薄膜S i層を用いたMOSFET構造をスタッカド型キャパシタDRAMのトランジスタに適用することができる。

#### 【0271】

##### （第22実施形態）

本第22実施形態は、凸状薄膜S i層からなるMOSFET素子を複数個（本例では2個の場合を示す）配列する場合のゲート電極の構造に関する。

#### 【0272】

図58はこの発明の第22実施形態に係るMOSFETを示す斜投影図、図59Aはその平面図、図59Bは図59A中59B-59B線に沿う断面図、図59Cは図59A中の59C-59C線に沿う断面図、図59Dは図59A中の59D-59D線に沿う断面図である。なお、図58、図59A～図59Dでは、例えば第1実施形態の図2Aに示したコンタクト、配線、および側壁絶縁膜をそれぞれ省略している。

## 【0273】

図58、図59A～図59Dに示すように、複数の凸状薄膜S i層13を高密度に配置、例えば凸状薄膜S i層13どうしが、互いに最小デザインルールで配置する。

## 【0274】

この場合、第1ゲート電極16aである多結晶S i層が、凸状薄膜S i層13どうしの間に完全に埋め込まれ、第2ゲート電極16bであるメタル膜（例えばW膜、Al膜、TiN膜）やシリサイド膜（例えばTiSi2膜、WSi2膜、CoSi2膜など）が、平坦となった第1ゲート電極16aの表面上に形成される構造となる。

## 【0275】

このように第2ゲート電極16bを、平坦となった第1ゲート電極16aの表面上に形成することで、例えば第2ゲート電極16bの材料であるメタル膜やシリサイド膜の形成が容易になる、あるいはゲート電極の加工が容易になる等の利点を得ることができる。

## 【0276】

さらに第2ゲート電極16bの表面も平坦にできるので、ゲート電極の加工後は、従来の平面型MOSFETと同じような製造工程を使用できる、という利点を得ることができる。

## 【0277】

## (第23実施形態)

本第23実施形態は、第22実施形態と同様、凸状薄膜S i層からなるMOSFET素子を複数個（本例では2個の場合を示す）配列する場合のゲート電極の構造に関する。

## 【0278】

図60はこの発明の第23実施形態に係るMOSFETを示す斜投影図、図61はその断面図である。なお、図60の断面は、図59Bに示す断面に相当する。また、図60、図61では、例えば第1実施形態の図2Aに示したコンタクト、配線、および側壁絶縁膜をそれぞれ省略している。

## 【0279】

図60に示すように、第1ゲート電極16aである多結晶Si層を、例えば20nm程度まで薄くする。そして、第2ゲート電極16bであるメタル膜やシリサイド膜を、第1ゲート電極16a間に埋め込むことも可能である。

## 【0280】

このような第23実施形態では、例えば第2ゲート電極16bの表面を平坦にでき、ゲート電極の加工後は、従来の平面型MOSFETと同じような製造工程を使用できる、という利点を得ることができる。

## 【0281】

## (第24実施形態)

図62はこの発明に係るMOSFETのコンタクト部を示す斜投影図、図63Aはこの発明に係るMOSFETのコンタクト部を示す平面図、図63Bは図63Aに示す矢印Bの方向から見た側面図、図63Cは図63Aに示す矢印Cの方向から見た側面図である。なお、図62、図63A～図63Cでは、例えば第1実施形態の図2Aに示したコンタクト、配線、および側壁絶縁膜をそれぞれ省略している。

## 【0282】

図62、図63A～図63Cに示すように、この発明に係るMOSFETでは、ソース／ドレイン領域17の、例えばコンタクトプラグ28が接続される部分（以下電気的コンタクト部）50が、基本的に凸状薄膜Si層13の上面（TOP）、その互いに相対する2つの側面（SIDE I、SIDE II）の一部にそれぞれ跨っている。

## 【0283】

この構造は、電気的コンタクト部50を、凸状薄膜Si層13の側面に沿い、その下方に向かって広げることが可能な構造である。このため、ソース／ドレイン領域17の幅、具体的には凸状薄膜Si層13の幅を広げなくても、電気的コンタクト部50の面積を大きくでき、例えばコンタクトプラグ28とソース／ドレイン領域17とのコンタクト抵抗の増加を抑制できる、という利点を得ることができる。

## 【0284】

本第24実施形態は、上記利点を損なうことなく、MOSFETの平面面積を、さらに縮小可能な構造を提供しようとするものである。

## 【0285】

図64はこの発明の第24実施形態に係るMOSFETを示す斜投影図、図65Aはその平面図、図65Bは図65Aに示す矢印Bの方向から見た側面図、図65Cは図65Aに示す矢印Cの方向から見た側面図である。

## 【0286】

図64、図65A～図65Cに示すように、本第24実施形態に係るMOSFETでは、電気的コンタクト部50が、凸状薄膜Si層13の上面(TOP)、その互いに相対する2つの側面(SIDE I、SIDE II)の一部に加え、これら2つの側面(SIDE I、SIDE II)それぞれに接した他の2つの側面(SIDE III、SIDE IV)の一部にも跨っている。

## 【0287】

この構造もまた、電気的コンタクト部50を、凸状薄膜Si層13の側面に沿い、その下方に向かって広げることが可能な構造である。さらに本第24実施形態では、電気的コンタクト部50を、他の2つの側面(SIDE III、SIDE IV)の一部にも跨ることで、電気的コンタクト部50の面積低下を抑制しつつ、凸状薄膜Si層13の長さ、例えばチャネル長方向に沿った長さを短縮することができる。

## 【0288】

よって、図62、図63A～図63Cを参照して説明した利点を損なうことなく、MOSFETの平面面積を、さらに縮小することが可能である。

## 【0289】

## (第25実施形態)

本第25実施形態は、ゲート電界集中を緩和できる構造に関する。

## 【0290】

図66は、この発明の第25実施形態に係るMOSFETを示す断面図である。なお、図66に示す断面は、第1実施形態の図2Bに示す断面に相当する。

## 【0291】

例えば第2実施形態では、凸状薄膜Si層13の上面に形成されたゲート絶縁膜18bを、凸状薄膜Si層13の側面に形成されたゲート絶縁膜18aよりも厚くする。これにより、チャネル領域15の上部コーナーにおけるゲート電界集中を緩和でき、ゲート電界集中に起因した、しきい値電圧の変動や、基板バイアス特性の変動を抑制できることを説明した。

## 【0292】

本第25実施形態に係るMOSFETでは、図66に示すように、第2実施形態とは反対に、凸状薄膜Si層13の上面に形成されたゲート絶縁膜18bを、凸状薄膜Si層13の側面に形成されたゲート絶縁膜18aよりも薄くする。

## 【0293】

このような構造は、例えば第1実施形態の、図7A、図7Bを参照して説明した工程において、凸状薄膜Si層13の側面を、その上面に形成された絶縁膜よりも厚くなるように酸化することで得ることができる。

## 【0294】

この構造では、図66中、破線円内に示す上部コーナーがラウンド形状となることにより、上部コーナーにおけるゲート電界集中を緩和でき、第2実施形態と同様に、ゲート電界集中に起因した、しきい値電圧の変動や、基板バイアス特性の変動を抑制することが可能となる。

## 【0295】

## (第26実施形態)

本第26実施形態は、第25実施形態と同様、ゲート電界集中を緩和できる構造に関する。

## 【0296】

図67は、この発明の第26実施形態に係るMOSFETを示す断面図である。なお、図67に示す断面は、第1実施形態の図2Bに示す断面に相当する。

## 【0297】

図67に示すように、本第26実施形態が、第25実施形態と異なるところは、凸状薄膜Si層13の側面に形成されたゲート絶縁膜18aを、絶縁物の堆積

により形成したことである。

#### 【0298】

このような構造は、例えば第1実施形態の、図6A、図6Bを参照して説明した工程の後、全面に絶縁膜、好ましくは高誘電体膜を堆積形成し、この後、RIE法を用いて、高誘電体膜をエッチングし、凸状薄膜Si層13の側面に残すことで得ることができる。

#### 【0299】

本構造においても、図67中、破線円内に示す上部コーナーをラウンド形状にできることにより、上部コーナーにおけるゲート電界集中を緩和でき、第2実施形態と同様に、ゲート電界集中に起因した、しきい値電圧の変動や、基板バイアス特性の変動を抑制することが可能となる。

#### 【0300】

以上、第1～第26実施形態により説明したこの発明によれば、

(1) 凸状薄膜Si層中に形成されたソース／ドレイン領域と、凸状薄膜Si層の下部領域に形成された素子分離絶縁膜との間を離す。

#### 【0301】

この構成によれば、MOSFETのチャネル幅を、ソース／ドレイン領域の深さにより制御でき、平面面積の増加を抑制しつつ、様々なチャネル幅を持つMOSFETを1チップ中に集積できる。

#### 【0302】

(2) 凸状薄膜Si層の幅(Wg)を、例えば $0.20\mu m$ より狭くする。

#### 【0303】

この構成によれば、凸状薄膜Si層の側面に形成されたゲート電極によってチャネル領域が完全に空乏化する。チャネル領域が完全に空乏化することによって、チャネル領域の不純物濃度を、平面型MOSFETのチャネル領域の不純物濃度に比べ、低濃度化することが可能となる。そして、チャネル領域の不純物濃度を低濃度化することで、チャネル領域におけるキャリア・モビリティの低下を抑制できる、不純物濃度の揺らぎの影響を受け難い、およびゲート絶縁膜の膜厚バラツキに対して強い構造を実現できる。

【0304】

(3) 凸状薄膜S i層の上面とゲート電極との間のゲート絶縁膜の少なくとも一部の膜厚を、凸状薄膜S i層の侧面とゲート電極との間のゲート絶縁膜の膜厚よりも厚くする、あるいは薄くする。

【0305】

この構成によれば、凸状薄膜S i層の上部コーナーにおけるゲート電界集中を緩和でき、しきい値電圧の制御が容易となる。

【0306】

(4) 凸状薄膜S i層のチャネル領域と、ウェルまたは基板との間に、高濃度不純物層を設ける。

【0307】

この構成によれば、MOSFETのパンチスルーを防止できる。

【0308】

(5) 凸状薄膜S i層の側面において、ソースとドレインと間の距離を、上部領域において短く、下部になるに従って広くする。

【0309】

この構成によれば、MOSFETのパンチスルーを防止できる。

【0310】

(6) 凸状薄膜S i層の側面において、ソース／ドレイン領域と、ゲート電極とを互いにオフセットさせる。

【0311】

この構成によれば、MOSFETのパンチスルーを防止できる。

【0312】

(7) 凸状薄膜S i層を複数設け、これらの側面にゲート電極を共通に形成する。

【0313】

この構成によれば、少ない平面面積で、より大きなチャネル幅を実現できる。

【0314】

(8) 凸状薄膜S i層の他、ゲートコンタクト用凸状薄膜S i層を設ける。

## 【0315】

この構成によれば、コンタクトホールの深さを、ソース／ドレイン領域およびゲート電極それぞれでほぼ揃えることができ、製造歩留まりを向上できる。

## 【0316】

(9) 凸状薄膜S i層のソース／ドレイン領域にコンタクトを形成する場合、凸状薄膜S i層の上面だけでなく、少なくとも側面の一部にも形成する。

## 【0317】

この構成によれば、平面面積の増加を損なうことなく、コンタクト抵抗を低減できる。

## 【0318】

(10) 凸状薄膜S i層の側面の傾き（テーパー角度）を、ほぼ垂直ではなく、例えば85度程度の順テーパーにする。

## 【0319】

この構成によれば、凸状薄膜S i層の側面でのゲート電極の加工を容易にできる。

## 【0320】

(11) 凸状薄膜S i層の側面に沿って形成されるゲート電極を、例えば多結晶S i膜で形成し、このゲート電極に、例えばメタル膜やシリサイド膜からなる第2ゲート電極を接続する。

## 【0321】

この構成によれば、ゲート電極の抵抗を低減できるとともに、隣接するゲート電極の高さを低くできる。よって、ゲート電極特性の調節が可能となるとともに、ゲート電極間の寄生容量を低減できる。

## 【0322】

(12) 凸状薄膜S i層の少なくとも側面上に形成されるゲート絶縁膜を、例えばTa<sub>2</sub>O<sub>5</sub>膜などの高誘電体絶縁膜で形成する。

## 【0323】

この構成によれば、ゲート電極とチャネル領域との間の容量を増加でき、MOSFETのカットオフ特性を、より効果的に向上できる。

【0324】

(13) 凸状薄膜S i層の少なくともチャネル領域の上部コーナーの角度を、ほぼ垂直から45度程度にする、あるいは半径30nm程度の半円で近似できるラウンド形状とする。

【0325】

この構成によれば、凸状薄膜S i層の上部コーナーにおけるゲート電界集中を緩和でき、しきい値電圧の制御が容易となる。

【0326】

(14) 凸状薄膜S i層に形成されたソース／ドレイン領域を、シングル・ソース／ドレイン構造ではなく、LDD的な高濃度ソース／ドレイン領域と低濃度のソース／ドレイン領域とを含む構造とする。

【0327】

この構成によれば、ソース／ドレイン領域近傍の電界を緩和でき、トランジスタの信頼性を向上できる。

【0328】

(15) 凸状薄膜S i層を複数設け、これらの側面にゲート電極を共通に形成するとともに、複数の凸状薄膜S i層の少なくともソース／ドレイン領域を含む領域の一部を互いに結合させる。

【0329】

この構成によれば、少ない平面面積で、より大きなチャネル幅を実現できるとともに、ソース／ドレイン領域に対するコンタクトの数を削減できる。

【0330】

(16) 凸状薄膜S i層に形成されたソース／ドレイン領域の底部と、凸状薄膜S i層下に形成された絶縁膜との間に、ソース／ドレイン領域と異なる導電型の不純物層を設ける。

【0331】

この構成によれば、例えばSOI基板上に凸状薄膜S i層を形成したとき、SOI層の厚みのバラツキを、ソース／ドレイン領域の深さのバラツキに吸収できる。

【0332】

(17) 凸状薄膜S i層を、ガラス基板上に形成されたアモルファスS iを用いて形成した場合においても、上記(1)～(16)の構成を採用することにより、上述した効果を得ることができる。

【0333】

(18) 凸状薄膜S i層は、溝を形成し、この溝の中にエピタキシャル成長させたエピタキシャルS i層で形成する。

【0334】

この構成によれば、凸状薄膜S i層の周辺に形成される素子分離絶縁膜を安定して形成でき、半導体集積回路装置の製造歩留りを向上できる。

【0335】

(19) 凸状薄膜S i層に形成されたNMOSFET、他の凸状薄膜S i層に形成されたPMOSFETによってCMOS回路を形成する場合、P型ソース／ドレイン領域の深さと、N型ソース／ドレイン領域の深さとを互いに異ならせる。具体的にはP型ソース／ドレイン領域の深さを、N型ソース／ドレイン領域の深さより深くする。

【0336】

この構成によれば、電子のモビリティと正孔のモビリティとの差に起因した、NMOSFET、PMOSFETの平面的な設計寸法の差を縮めることができる。特にCMOS回路を設計したとき、PMOSFETの面積を縮小でき、全体の回路面積を縮小できる。

【0337】

(20) 凸状薄膜S i層に形成されたNMOSFET（またはPMOSFET）、他の凸状薄膜S i層に形成されたNMOSFET（またはPMOSFET）によってMOS回路を形成する場合、これらNMOSFET（またはPMOSFET）のソース／ドレイン領域の深さを互いに異ならせる。

【0338】

この構成によれば、平面的な設計寸法が同じでも、互いにチャネル幅が異なったNMOSFET（またはPMOSFET）を実現でき、回路を設計したとき、

チャネル幅が広いNMOSFET（またはPMOSFET）の面積を縮小でき、全体の回路面積を縮小できる。

#### 【0339】

以上、この発明を第1～第26実施形態により説明したが、この発明は、これら実施形態それに限定されるものではなく、その実施にあたっては、発明の要旨を逸脱しない範囲で種々に変形することが可能である。

#### 【0340】

例えばこの発明に係るMOSFETと、平面型MOSFETと同じSiウェーハ基板上に共存させることも可能である。この場合、この発明に係るMOSFETの特長、平面型MOSFETの特長をそれぞれ生かせば良い。

#### 【0341】

また、実施形態では主に単体のMOSFET素子について説明したが、このMOSFETを用いて、フラッシュメモリ、SRAM、DRAM、各種ロジック回路、CPUなどに応用することができる。本素子構造がショートチャネル効果を抑制でき、Pチャネル、NチャネルMOSFETの微細化に有効であること、チャネルの完全空乏化により素子のカットオフ特性が向上すること、ダブルゲート構造によりMOSFETの電流駆動能力が向上すること、Nチャネル、Pチャネルのチャネル幅を平面設計面積を増大させること無くソース／ドレイン領域の深さの調整で実現できること、複数の凸状Siに分割することで、大電流のMOSFET素子を小さな面積で実現できること、などの特長を生かして、LSI回路全般に従来の平面型MOSFET素子を置き換える新しいMOSFET素子構造として応用できる。

#### 【0342】

また、上記各実施形態は、単独、または適宜組み合わせて実施することも勿論可能である。

#### 【0343】

さらに、上記各実施形態には種々の段階の発明が含まれており、各実施形態において開示した複数の構成要件の適宜な組み合わせにより、種々の段階の発明を抽出することも可能である。

【0344】

【発明の効果】

以上説明したように、この発明によれば、カットオフ特性の改善を図ることが可能な構造、ゲート電界集中の緩和が可能な構造、駆動能力の向上を図ることが可能な構造、ゲート特性の調節が可能な構造、製造が容易となる構造、および駆動能力を損なうことなく平面面積の縮小が可能な構造の少なくともいずれかを持つ、少なくとも凸状半導体層の側面をチャネル領域として使う半導体装置およびその製造方法を提供できる。

【図面の簡単な説明】

【図1】 図1はこの発明の第1実施形態に係るMOSFETを示す斜投影図。

【図2】 図2Aはこの発明の第1実施形態に係るMOSFETを示す平面図、図2Bは図2A中の2B-2B線に沿う断面図、図2Cは図2A中の2C-2C線に沿う断面図、図2Dは図2A中の2D-2D線に沿う断面図。

【図3】 図3A、図3Bはそれぞれこの発明の第1実施形態に係るMOSFETの主要な製造工程を示す工程断面図。

【図4】 図4A、図4Bはそれぞれこの発明の第1実施形態に係るMOSFETの主要な製造工程を示す工程断面図。

【図5】 図5A、図5Bはそれぞれこの発明の第1実施形態に係るMOSFETの主要な製造工程を示す工程断面図。

【図6】 図6A、図6Bはそれぞれこの発明の第1実施形態に係るMOSFETの主要な製造工程を示す工程断面図。

【図7】 図7A、図7Bはそれぞれこの発明の第1実施形態に係るMOSFETの主要な製造工程を示す工程断面図。

【図8】 図8A、図8Bはそれぞれこの発明の第1実施形態に係るMOSFETの主要な製造工程を示す工程断面図。

【図9】 図9A、図9Bはそれぞれこの発明の第1実施形態に係るMOSFETの主要な製造工程を示す工程断面図。

【図10】 図10A、図10Bはそれぞれこの発明の第1実施形態に係る

MOSFETの主要な製造工程を示す工程断面図。

【図11】 図11A、図11Bはそれぞれこの発明の第1実施形態に係るMOSFETの主要な製造工程を示す工程断面図。

【図12】 図12はこの発明の第2実施形態に係るMOSFETを示す斜投影図。

【図13】 図13A、図13Bはそれぞれこの発明の第2実施形態に係るMOSFETを示す断面図。

【図14】 図14A、図14Bはそれぞれこの発明の第3実施形態に係るMOSFETを示す断面図。

【図15】 図15A、図15Bはそれぞれこの発明の第4実施形態に係るMOSFETを示す断面図。

【図16】 図16Aはこの発明の第5実施形態に係るMOSFETを示す平面図、図16Bは図16A中の16B-16B線に沿う断面図、図16Cは図16A中の16C-16C線に沿う断面図。

【図17】 図17Aはこの発明の第6実施形態に係るMOSFETを示す平面図、図17Bは図17A中の17B-17B線に沿う断面図、図17Cは図17A中の17C-17C線に沿う断面図。

【図18】 図18A、図18Bはそれぞれこの発明の第6実施形態の他例に係るMOSFETを示す断面図。

【図19】 図19A、図19Bはそれぞれ、この発明の第7実施形態に係るMOSFETを示す断面図。

【図20】 図20はこの発明の第8実施形態に係るMOSFETを示す斜投影図。

【図21】 図21Aはこの発明の第8実施形態に係るMOSFETを示す平面図、図21Bは図21A中の21B-21B線に沿う断面図、図21Cは図21A中の21C-21C線に沿う断面図。

【図22】 図22はこの発明の第9実施形態に係るMOSFETを示す斜投影図。

【図23】 図23Aはこの発明の第9実施形態に係るMOSFETを示す

平面図、図23Bは図23A中の23B-23B線に沿う断面図、図23Cは図23A中の23C-23C線に沿う断面図。

【図24】 図24はこの発明に係るMOSFETのゲート絶縁膜の変形を示す断面図。

【図25】 図25はこの発明に係るMOSFETのゲート絶縁膜の変形を示す断面図。

【図26】 図26はこの発明の第10実施形態に係るMOSFETを示す断面図。

【図27】 図27はこの発明の第11実施形態に係るMOSFETを示す断面図。

【図28】 図28はこの発明の第12実施形態に係るMOSFETを示す断面図。

【図29】 図29はこの発明に係るMOSFETのソース／ドレイン領域の変形を示す断面図。

【図30】 図30はこの発明の第13実施形態の第1例に係るMOSFETを示す平面図。

【図31】 図31はこの発明の第13実施形態の第2例に係るMOSFETを示す平面図。

【図32】 図32はこの発明の第13実施形態の第3例に係るMOSFETを示す平面図。

【図33】 図33はこの発明の第14実施形態に係るMOSFETを示す斜投影図。

【図34】 図34Aはこの発明の第14実施形態に係るMOSFETを示す平面図、図34Bは図34A中の34B-34B線に沿う断面図、図34Cは図34A中の34C-34C線に沿う断面図。

【図35】 図35はこの発明の第15実施形態に係るMOSFETを示す斜投影図。

【図36】 図36Aはこの発明の第15実施形態に係るMOSFETを示す平面図、図36Bは図36A中の36B-36B線に沿う断面図、図36Cは

図36A中の36C-36C線に沿う断面図。

【図37】 図37A、図37Bはそれぞれこの発明の第16の実施形態に係るMOSFETの製造方法を示す工程断面図。

【図38】 図38A、図37Bはそれぞれこの発明の第16の実施形態に係るMOSFETの製造方法を示す工程断面図。

【図39】 図39A、図39Bはそれぞれこの発明の第16の実施形態に係るMOSFETの製造方法を示す工程断面図。

【図40】 図40A、図40Bはそれぞれこの発明の第16の実施形態に係るMOSFETの製造方法を示す工程断面図。

【図41】 図41A、図41Bはそれぞれこの発明の第16の実施形態に係るMOSFETの製造方法を示す工程断面図。

【図42】 図42A、図42Bはそれぞれこの発明の第16の実施形態に係るMOSFETの製造方法を示す工程断面図。

【図43】 図43A、図43Bはそれぞれこの発明の第17の実施形態に係るMOSFETの製造方法を示す工程断面図。

【図44】 図44A、図44Bはそれぞれこの発明の第17の実施形態に係るMOSFETの製造方法を示す工程断面図。

【図45】 図45A、図45Bはそれぞれこの発明の第17の実施形態に係るMOSFETの製造方法を示す工程断面図。

【図46】 図46A、図46Bはそれぞれこの発明の第17の実施形態に係るMOSFETの製造方法を示す工程断面図。

【図47】 図47A、図47Bはそれぞれこの発明の第17の実施形態に係るMOSFETの製造方法を示す工程断面図。

【図48】 図48Aはこの発明の第18実施形態に係る相補型MOSFETを示す平面図、図48Bは図48A中の48B-48B線に沿う断面図、図48Cは図48A中の48C-48C線に沿う断面図、図48Dは図48A中の48D-48D線に沿う断面図。

【図49】 図49はこの発明の第18実施形態に係るMOSFETの主要な製造工程を示す工程断面図。

【図50】 図50はこの発明の第18実施形態に係るMOSFETの主要な製造工程を示す工程断面図。

【図51】 図51はこの発明の第18実施形態に係るMOSFETの主要な製造工程を示す工程断面図。

【図52】 図52はこの発明の第18実施形態に係るMOSFETの主要な製造工程を示す工程断面図。

【図53】 図53はこの発明の第18実施形態に係るMOSFETの主要な製造工程を示す工程断面図。

【図54】 図54はこの発明の第18実施形態に係るMOSFETの主要な製造工程を示す工程断面図。

【図55】 図55Aはこの発明の第19実施形態に係る相補型MOSFETを示す平面図、図55Bは図55A中の55B-55B線に沿う断面図、図55Cは図55A中の55C-55C線に沿う断面図。

【図56】 図56はこの発明の第20実施形態に係るトレンチ型キャバシタ構造を持つDRAMメモリセルを示す断面図。

【図57】 図57はこの発明の第21実施形態に係るスタック型キャバシタ構造を持つDRAMメモリセルを示す断面図。

【図58】 図58はこの発明の第22実施形態に係るMOSFETを示す斜投影図。

【図59】 図59Aはこの発明の第22実施形態に係るMOSFETを示す平面図、図59Bは図59A中59B-59B線に沿う断面図、図59Cは図59A中の59C-59C線に沿う断面図、図59Dは図59A中の59D-59D線に沿う断面図。

【図60】 図60はこの発明の第23実施形態に係るMOSFETを示す斜投影図。

【図61】 図61はこの発明の第23実施形態に係るMOSFETを示す平面図。

【図62】 図62はこの発明に係るMOSFETのコンタクト部を示す斜投影図。

【図63】 図63Aはこの発明に係るMOSFETのコンタクト部を示す平面図、図63Bは図63Aに示す矢印Bの方向から見た側面図、図63Cは図63Aに示す矢印Cの方向から見た側面図。

【図64】 図64はこの発明の第24実施形態に係るMOSFETを示す斜投影図。

【図65】 図65Aはこの発明の第24実施形態に係るMOSFETの平面図、図65Bは図65Aに示す矢印Bの方向から見た側面図、図65Cは図65Aに示す矢印Cの方向から見た側面図。

【図66】 図66はこの発明の第25実施形態に係るMOSFETを示す断面図。

【図67】 図67はこの発明の第26実施形態に係るMOSFETを示す断面図。

【図68】 図68は従来のMOSFETを示す斜投影図。

【図69】 図69は従来のMOSFETを示す斜投影図。

【図70】 図70は従来のMOSFETを示す斜投影図。

【符号の説明】

10…P型Si基板、

11…P型ウェル、

12…高濃度不純物層（パンチスルー・ストッパー層）、

13…凸状薄膜Si層、

14…素子分離絶縁膜、

15…チャネル不純物層（チャネル領域）、

16…ゲート電極、

16a…第1ゲート電極、

16b…第2ゲート電極、

17…ソース／ドレイン領域、

17a…低濃度ソース／ドレイン領域、

17b…高濃度ソース／ドレイン領域、

18…ゲート絶縁膜、

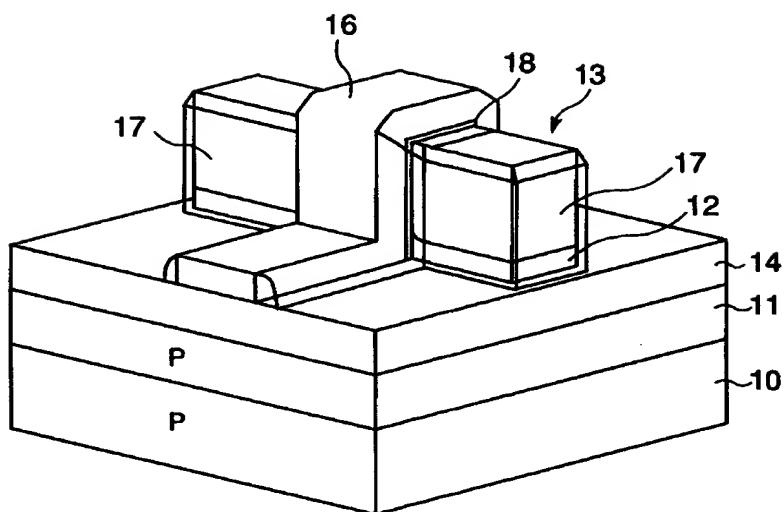
1 8' …ゲート絶縁膜 (h i g h-K膜)、  
 1 8 a …ゲート絶縁膜（側面）、  
 1 8 b …ゲート絶縁膜（TOP絶縁膜）、  
 2 0 …SiO<sub>2</sub>層、  
 2 1 …マスク層（SiN）、  
 2 2 …マスク層（SiO<sub>2</sub>）、  
 2 3 …TEOS-SiO<sub>2</sub>層、  
 2 4 …ゲートキャップ絶縁膜、  
 2 5 …側壁絶縁膜、  
 2 6 …層間絶縁膜、  
 2 7 …コンタクトホール、  
 2 8 …コンタクトプラグ、  
 3 0 …ゲートコンタクト用凸状薄膜Si層、  
 4 0 …SOI基板、  
 4 1 …絶縁膜（Buried Oxide）、  
 4 2 …Si層、  
 4 3 …ガラス基板、  
 4 4 …アモルファスSi層、  
 1 0 1 …エピタキシャルSi層、  
 1 1 0 …P型Si基板、  
 1 1 1 …P型ウェル、  
 1 1 2 …高濃度不純物層（パンチスルー・ストッパー層）、  
 1 1 3 …凸状薄膜Si層、  
 1 1 4 …SiO<sub>2</sub>膜（素子分離絶縁膜）、  
 1 2 1 …マスク層（SiN）、  
 1 2 2 …マスク層（SiO<sub>2</sub>）、  
 1 2 3 …溝パターン、  
 1 2 4 …ゲートキャップ絶縁膜、  
 3 0 1 …エピタキシャルSi層、

310…P型Si基板、  
311p…P型ウェル、  
311n…N型ウェル、  
312p…P型高濃度不純物層（パンチスルー・ストッパー層）、  
312n…N型高濃度不純物層（パンチスルー・ストッパー層）、  
314p…P型LOCALチャネル領域、  
315n…N型LOCALチャネル領域、  
316…ゲート電極、  
317p…P型ソース／ドレイン領域、  
317n…N型ソース／ドレイン領域、  
317pa…低濃度P型ソース／ドレイン領域、  
317na…低濃度N型ソース／ドレイン領域、  
317pb…高濃度P型ソース／ドレイン領域、  
317nb…高濃度N型ソース／ドレイン領域、  
318…ゲート絶縁膜、  
320…SiO<sub>2</sub>層、  
321…マスク層（SiN）、  
322…マスク層（SiO<sub>2</sub>）、  
323…TEOS-SiO<sub>2</sub>層、  
324…ゲートキャップ絶縁膜、  
325…側壁絶縁膜、  
326…層間絶縁膜、  
327…コンタクトホール、  
328…コンタクトプラグ。

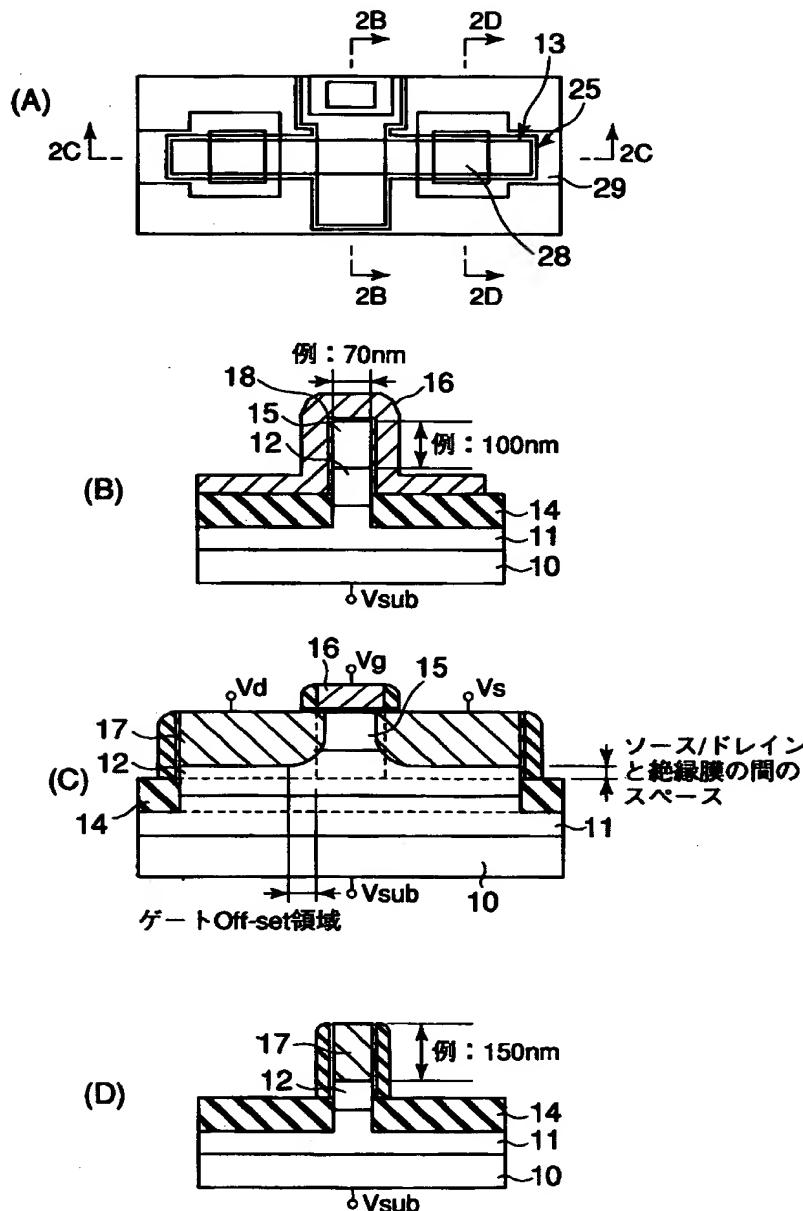
【書類名】

図面

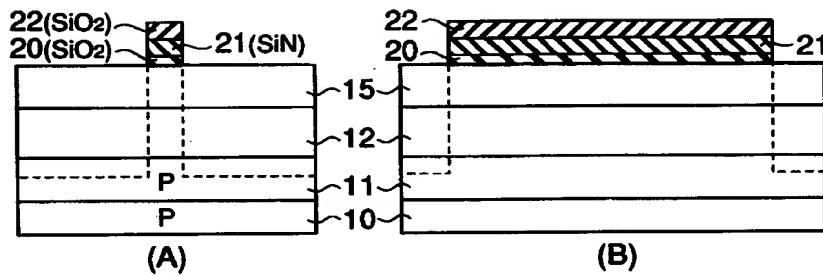
【図1】



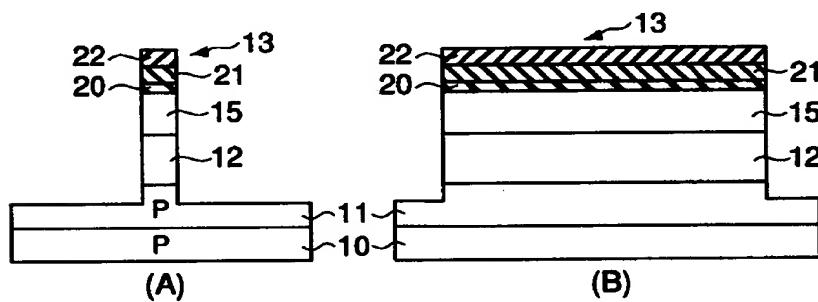
【図2】



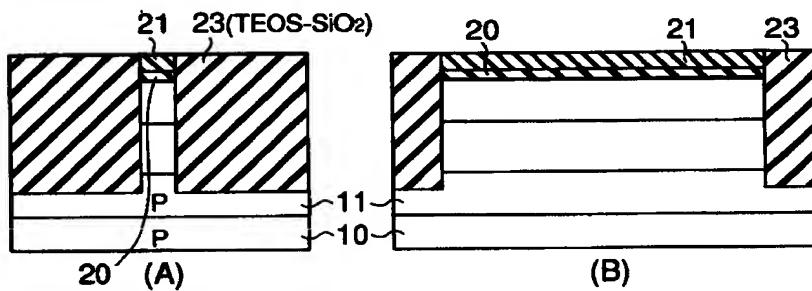
【図3】



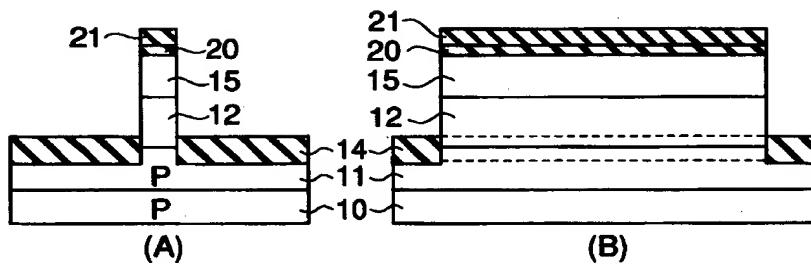
【図4】



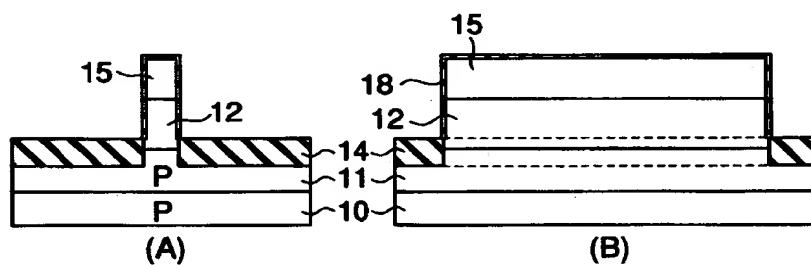
【図5】



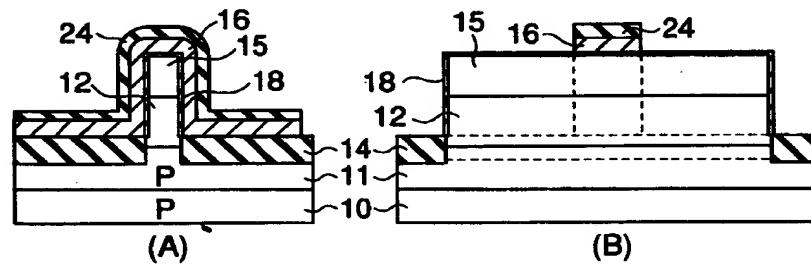
【図6】



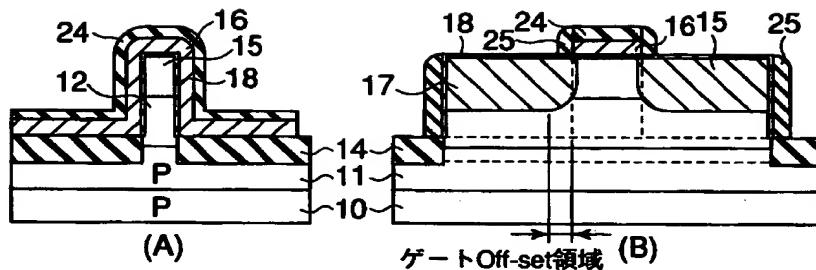
【図7】



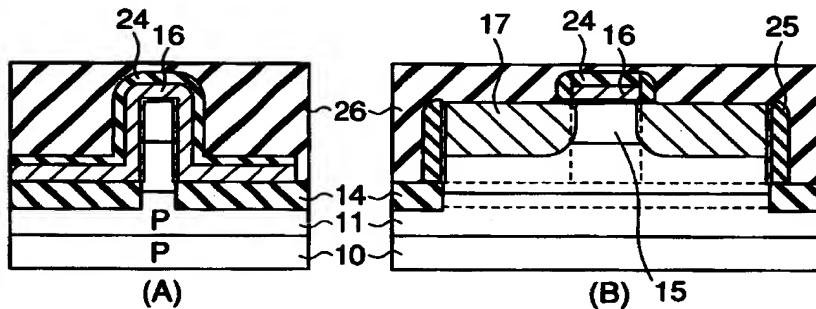
【図8】



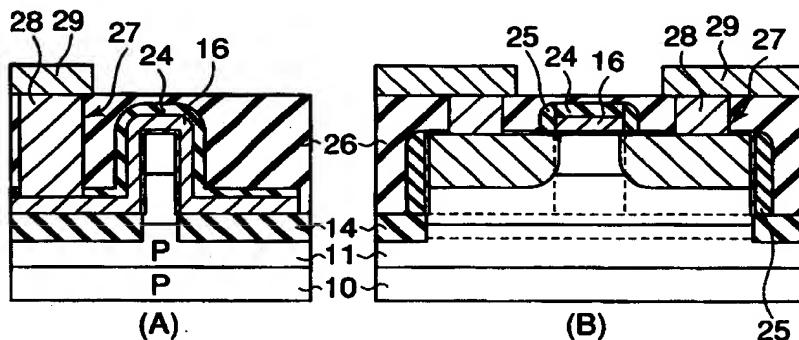
【図9】



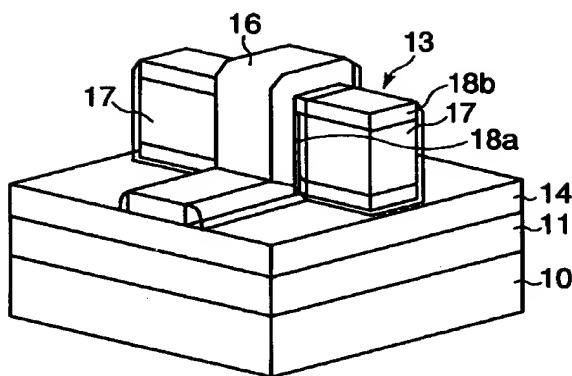
【図10】



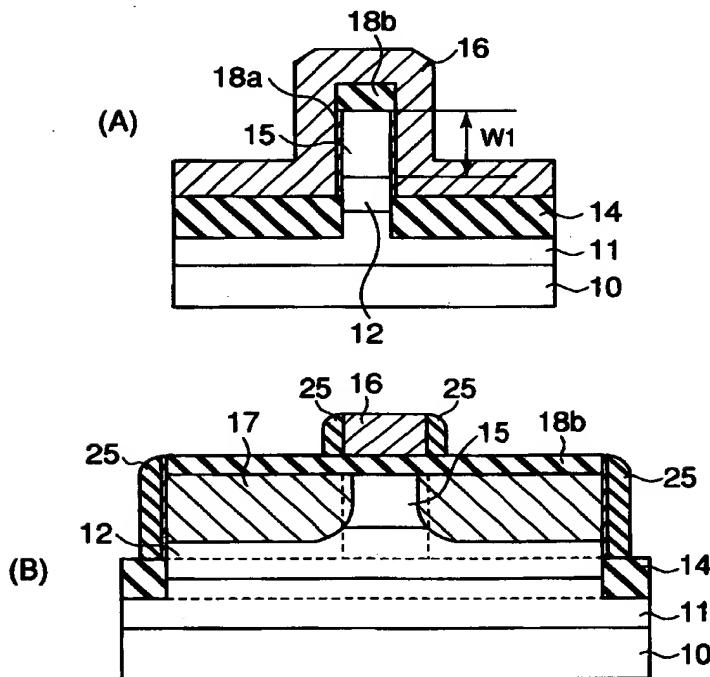
【図11】



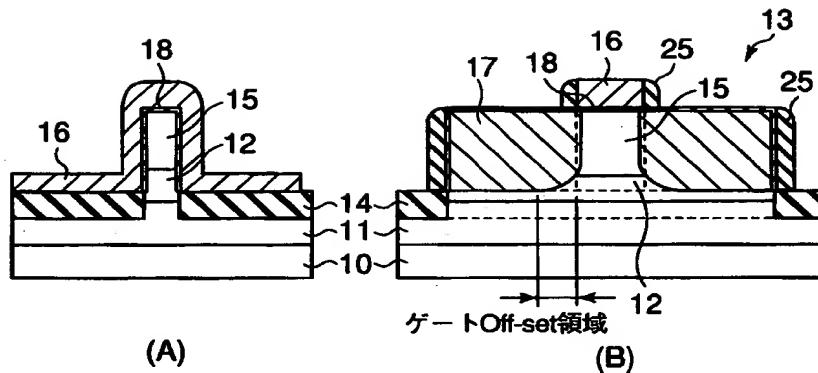
【図12】



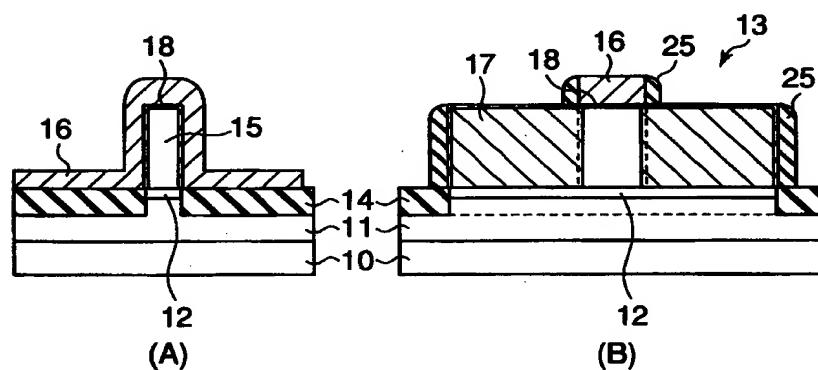
【図13】



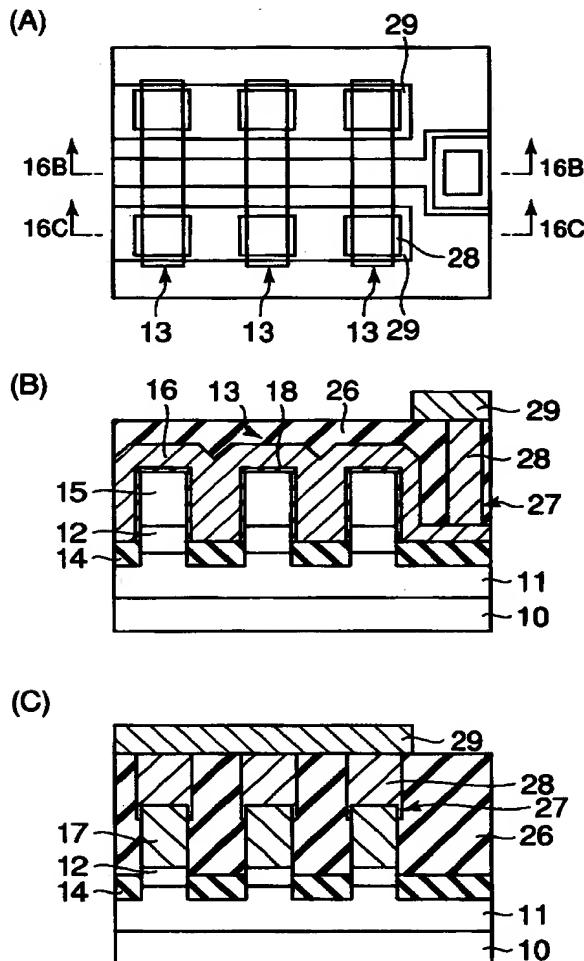
【図14】



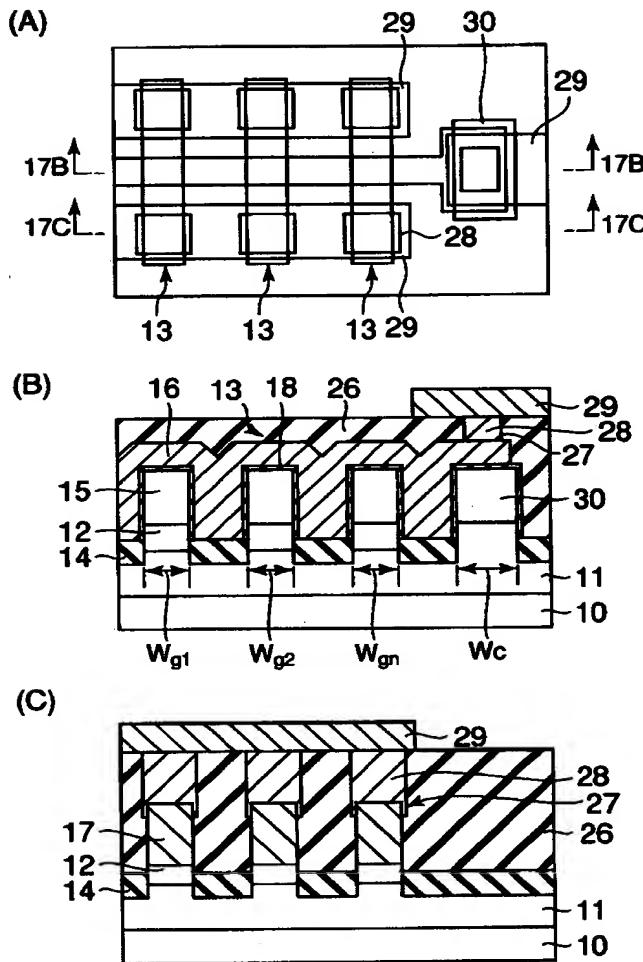
【図15】



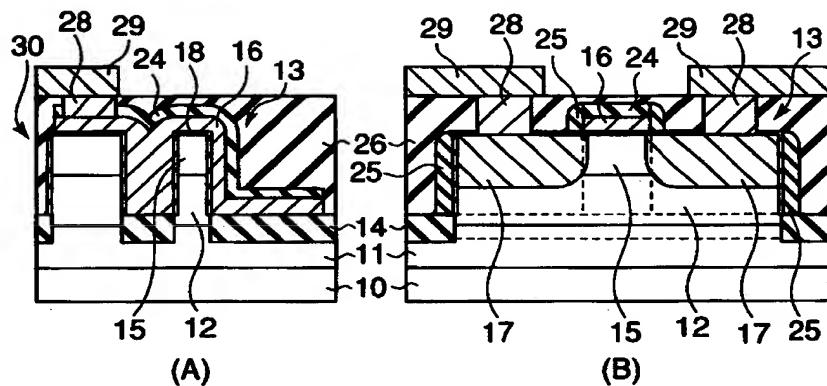
【図16】



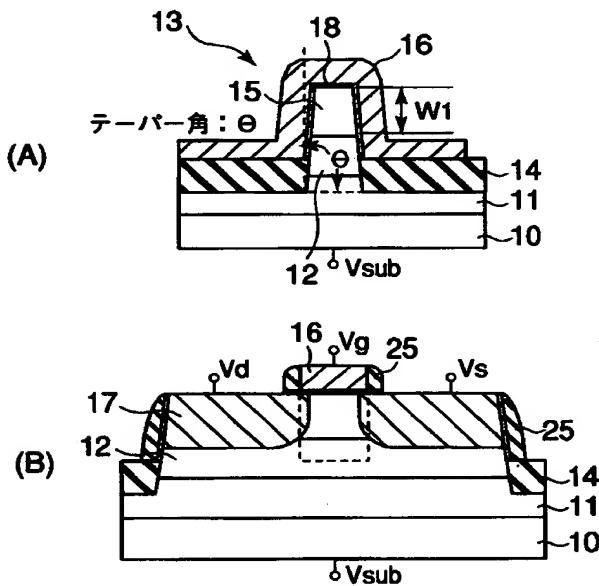
【図17】



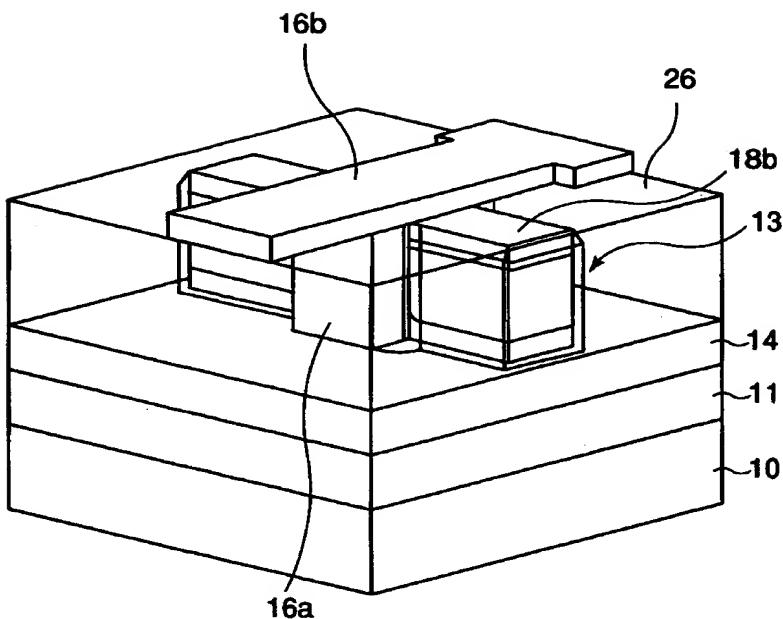
【図18】



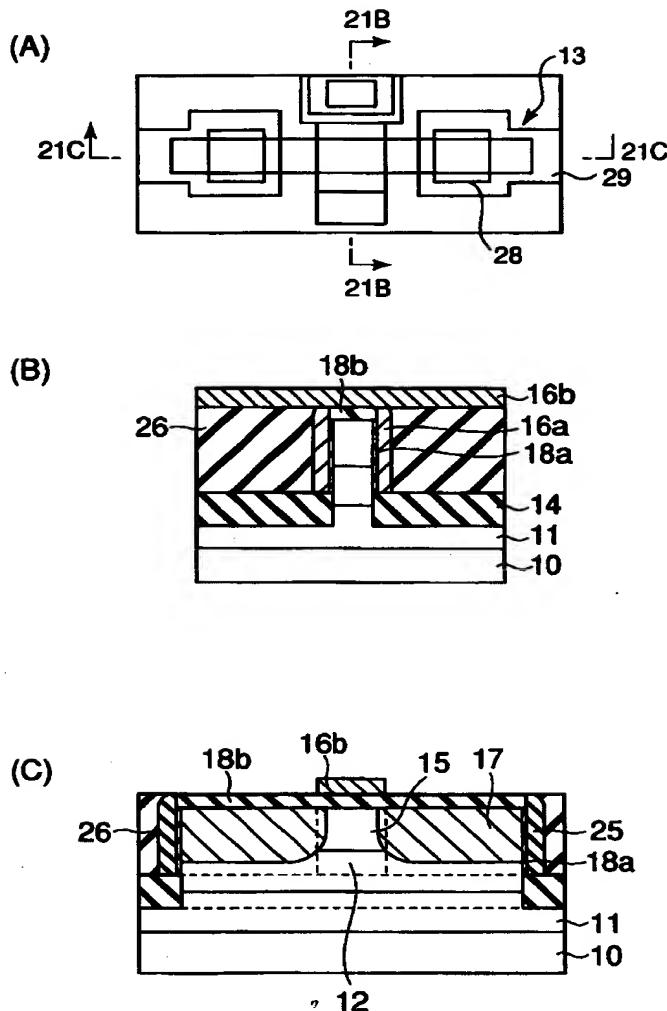
【図19】



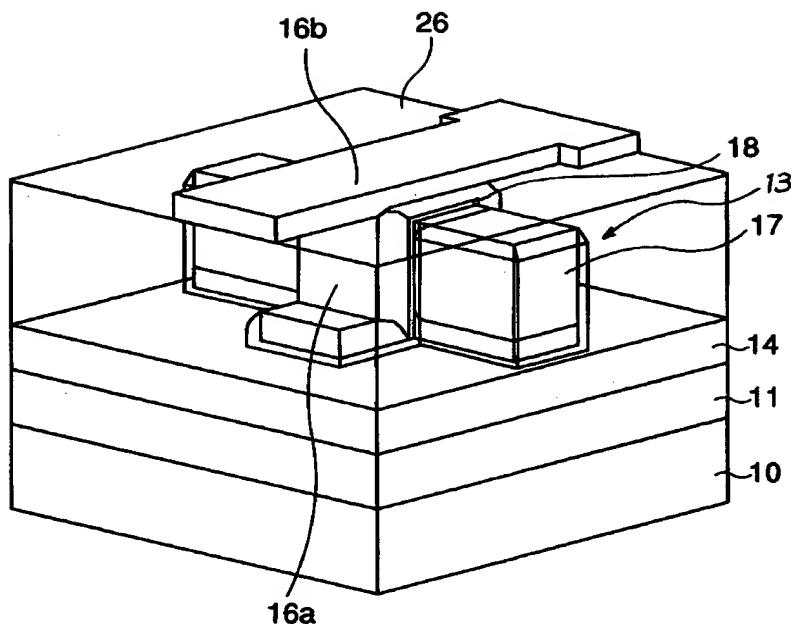
【図20】



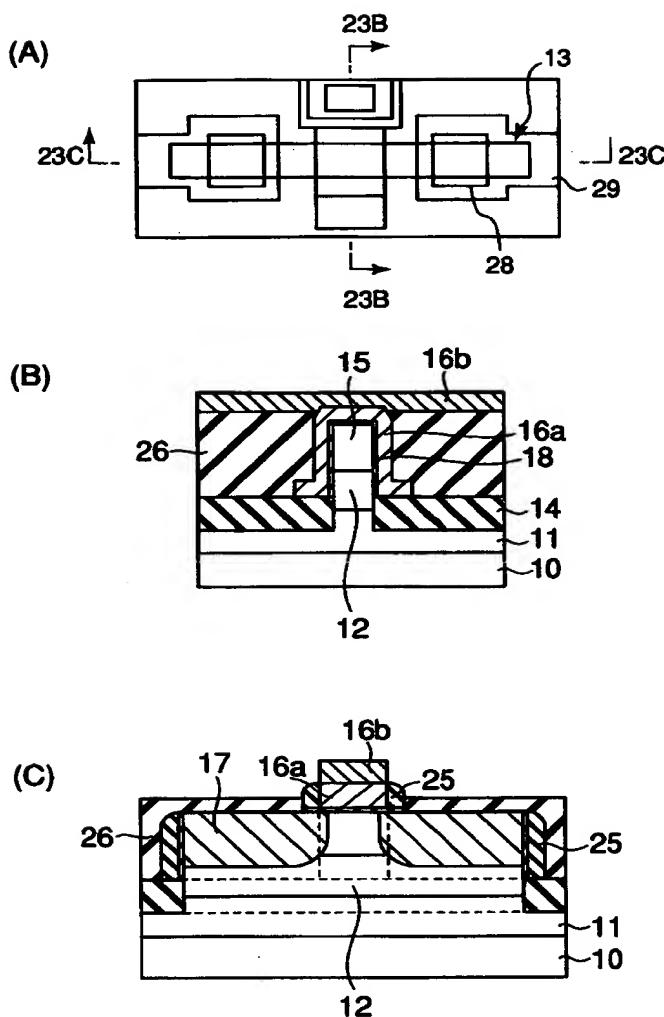
【図21】



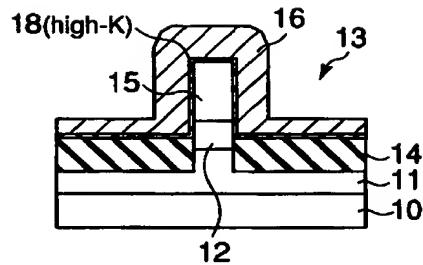
【図22】



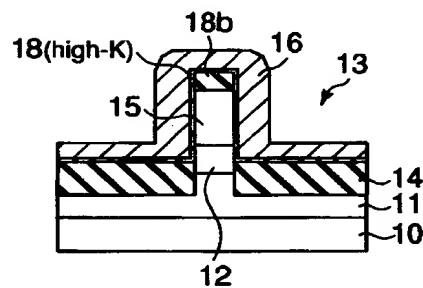
【図23】



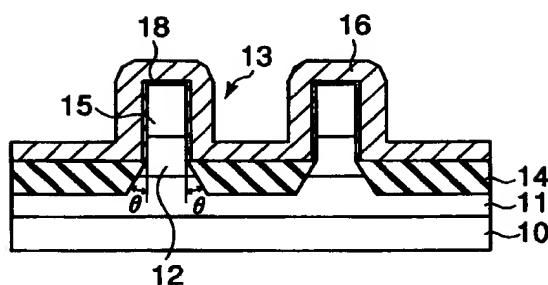
【図24】



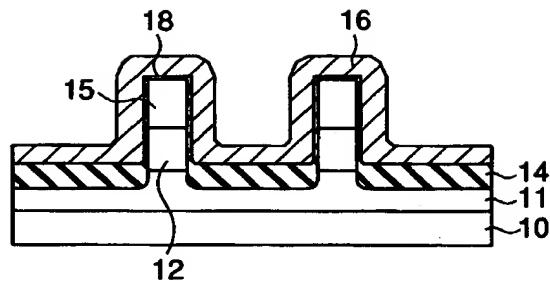
【図25】



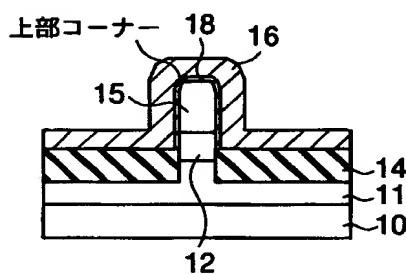
【図26】



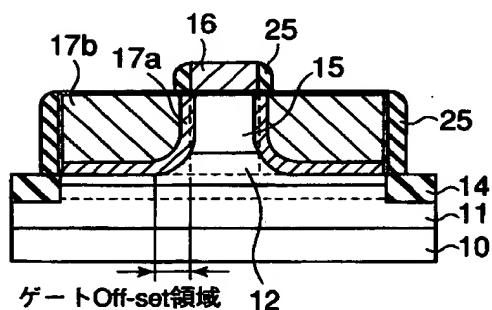
【図27】



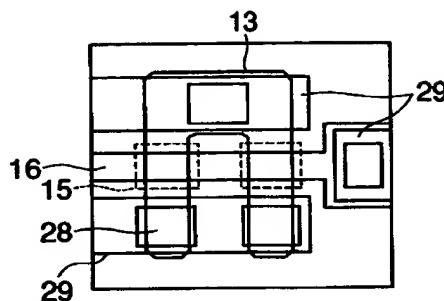
【図28】



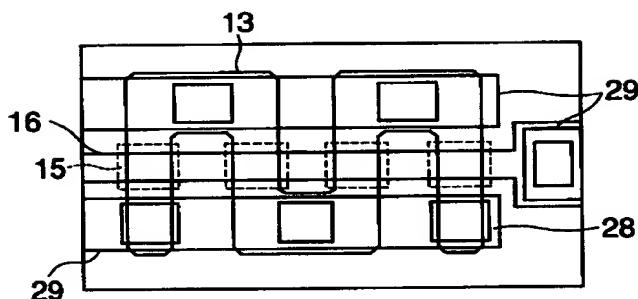
【図29】



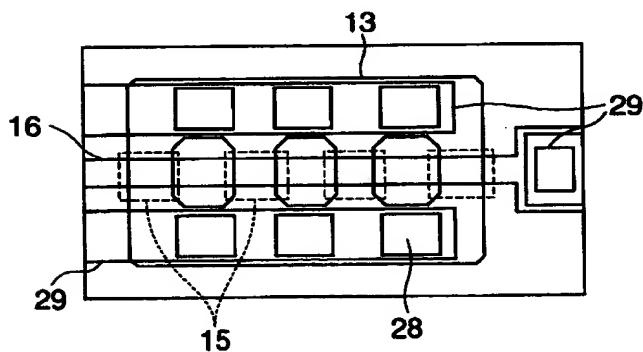
【図30】



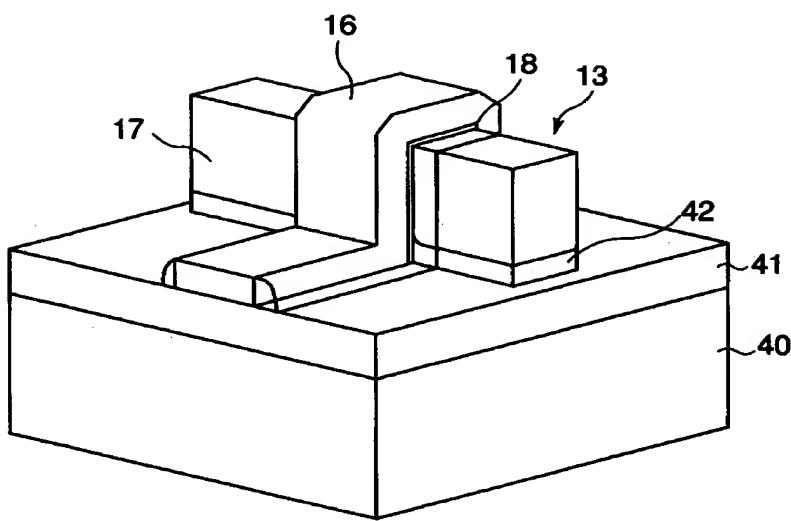
【図31】



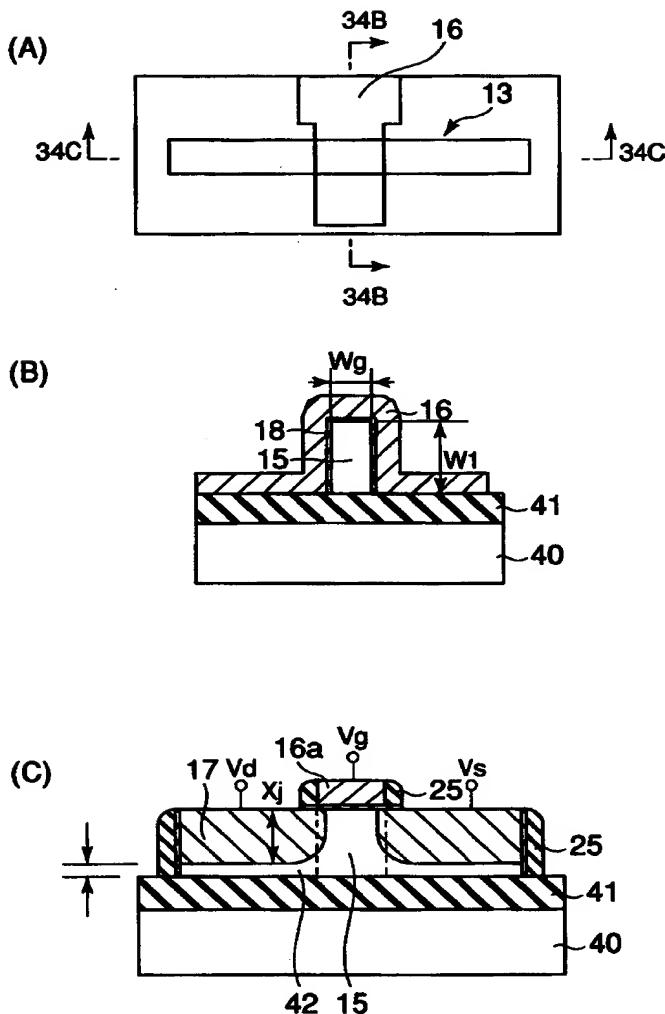
【図32】



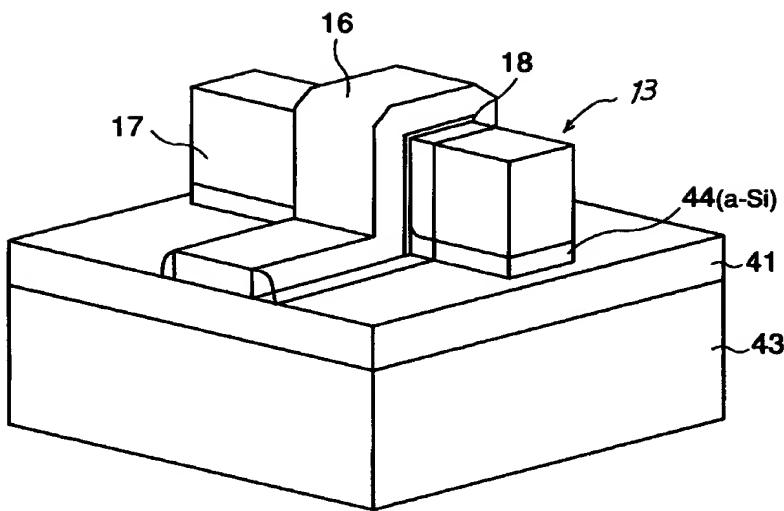
【図33】



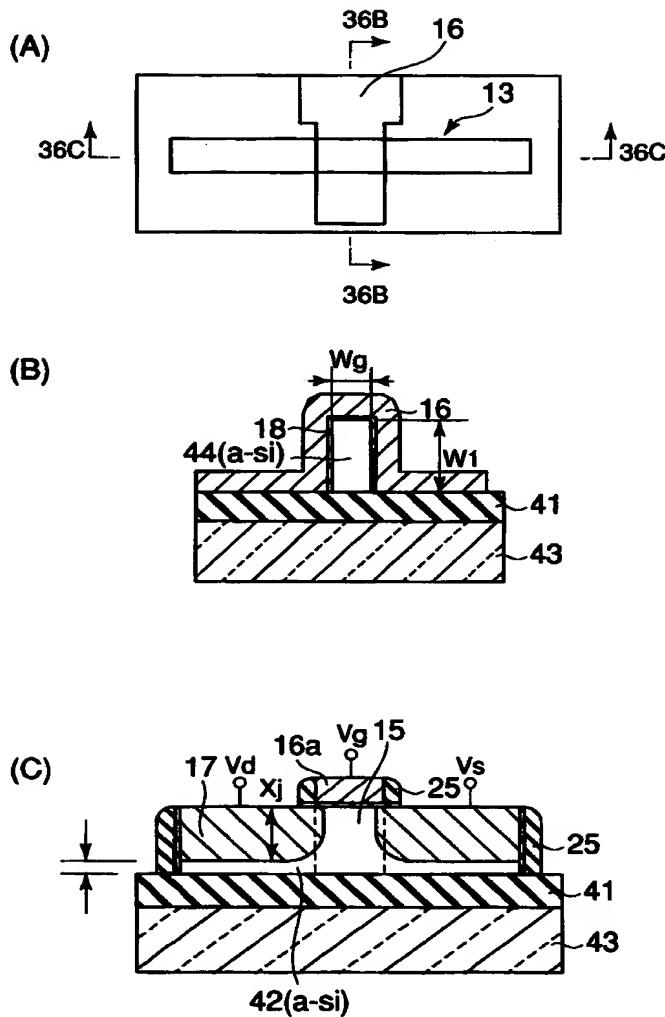
【図34】



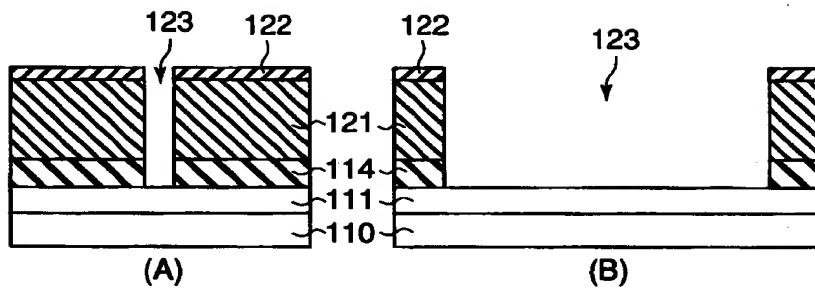
【図35】



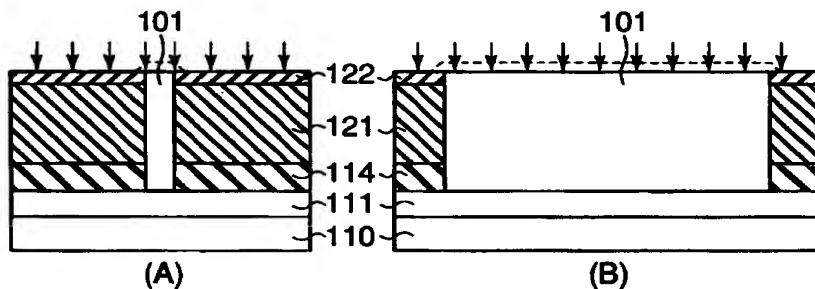
【図36】



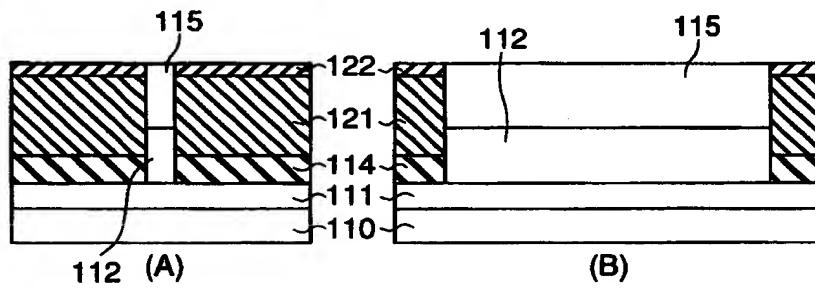
【図37】



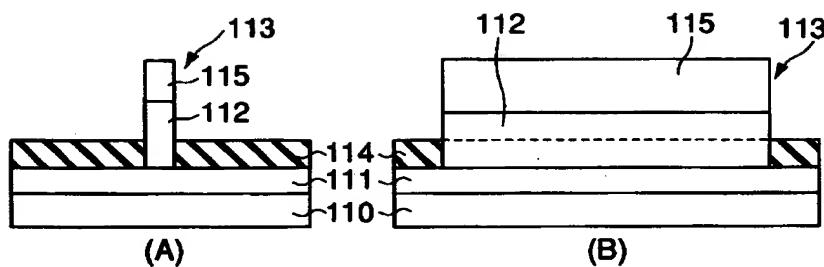
【図38】



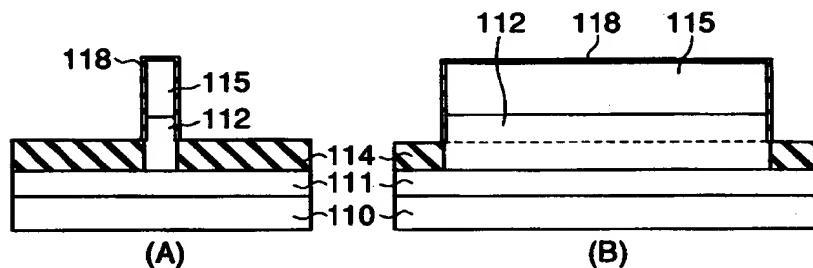
【図39】



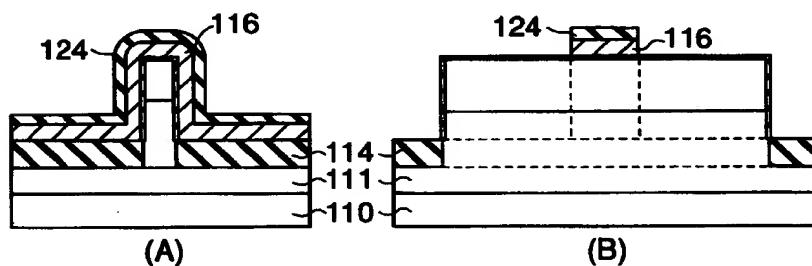
【図40】



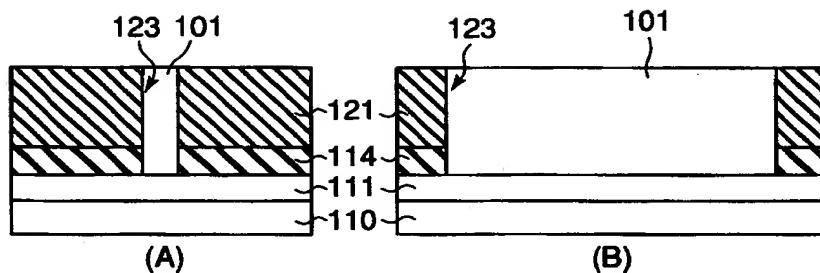
【図41】



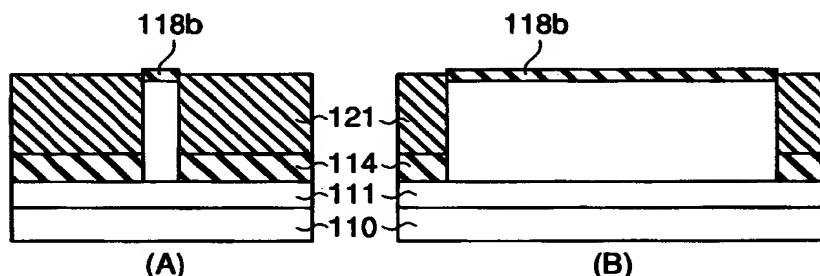
【図42】



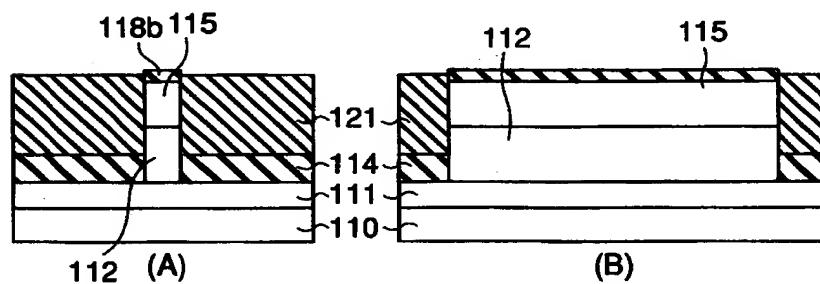
【図43】



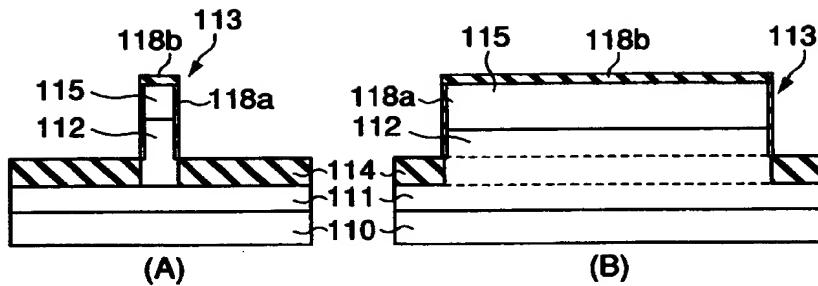
【図44】



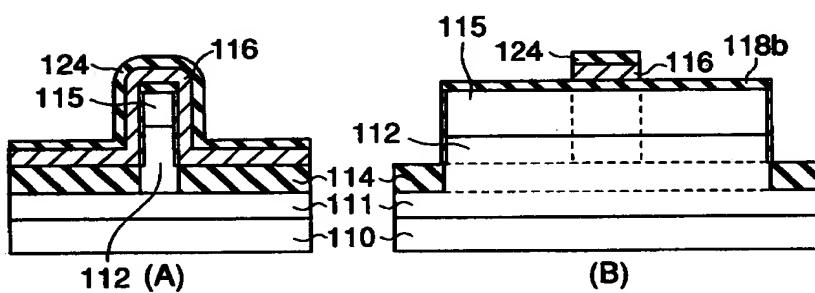
【図45】



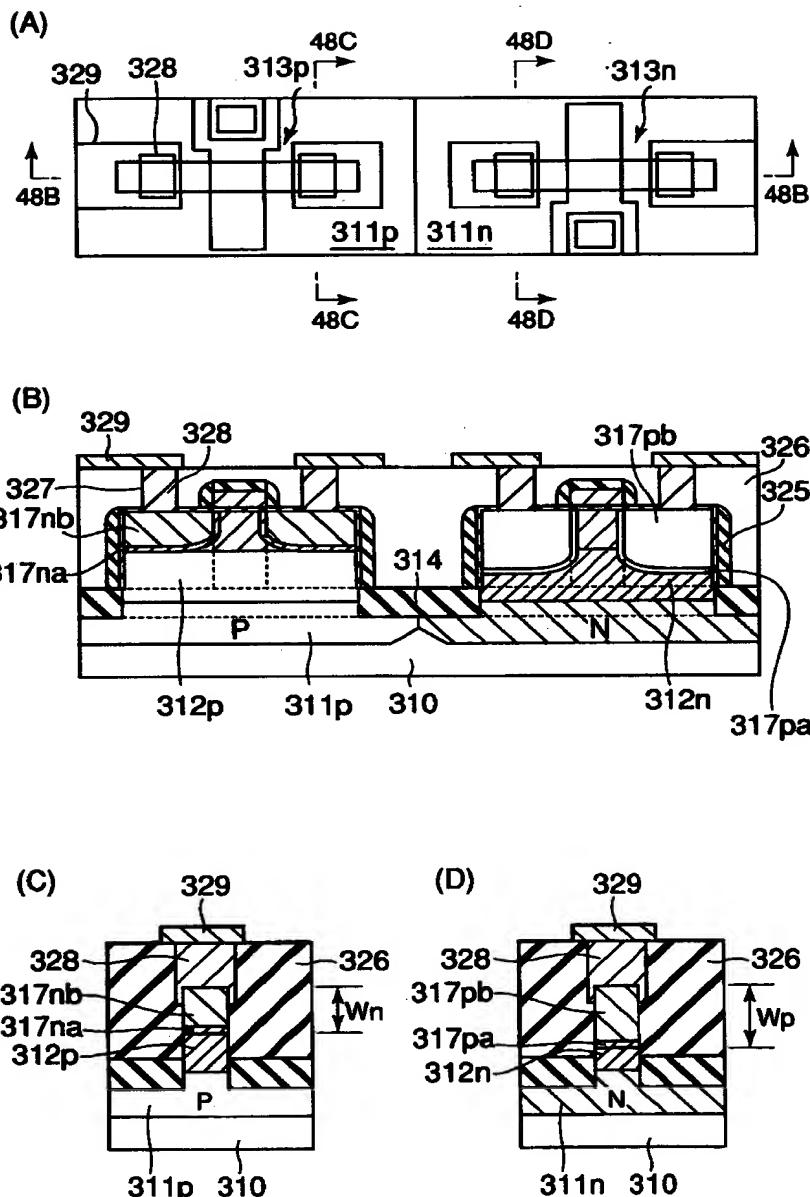
【図4 6】



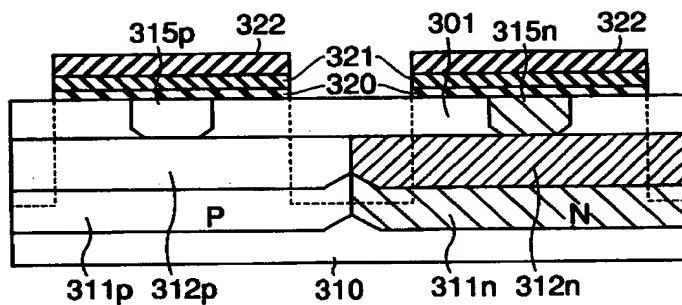
【図4 7】



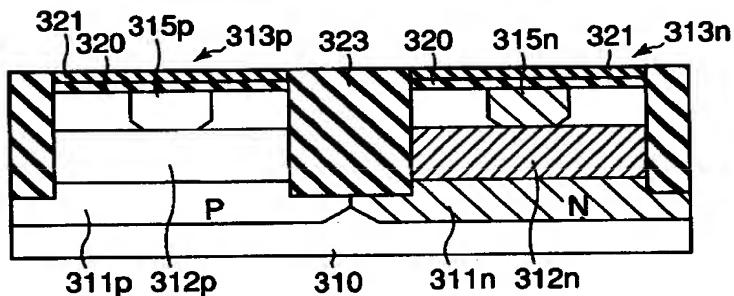
【図48】



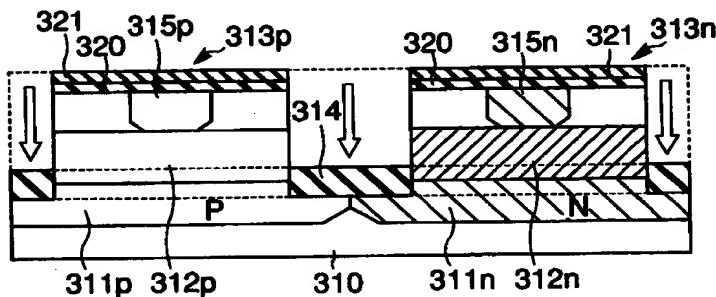
【図49】



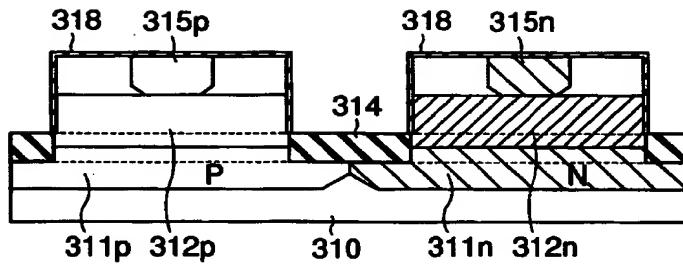
【図50】



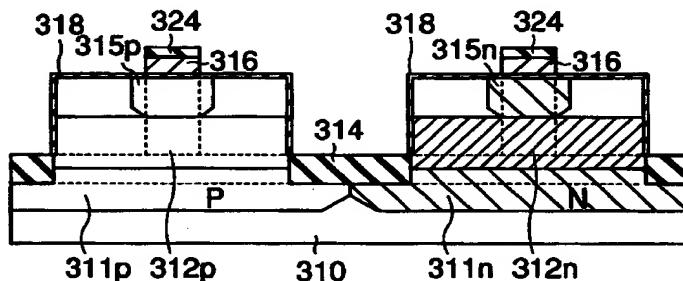
【図51】



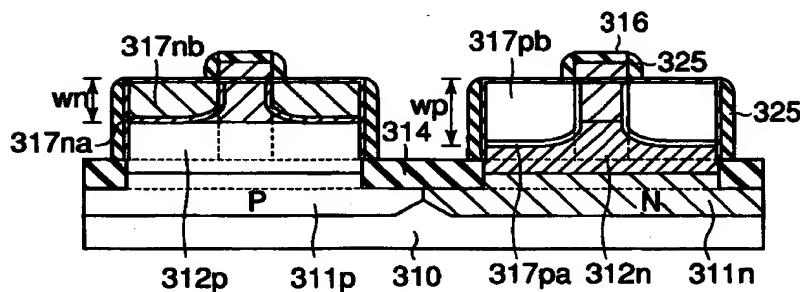
【図52】



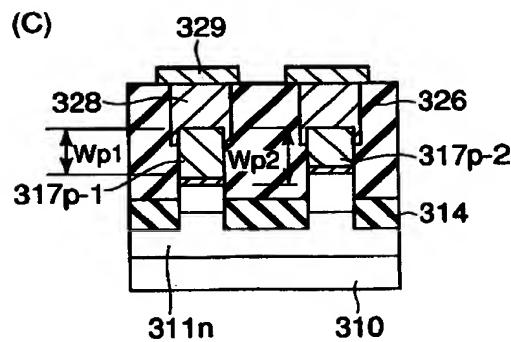
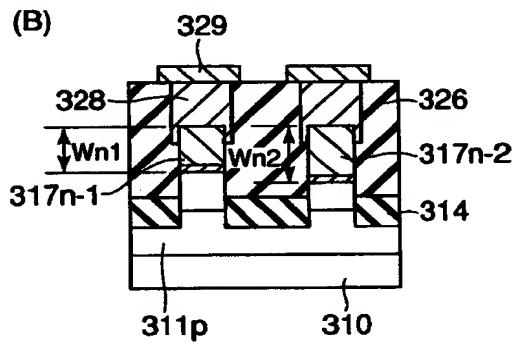
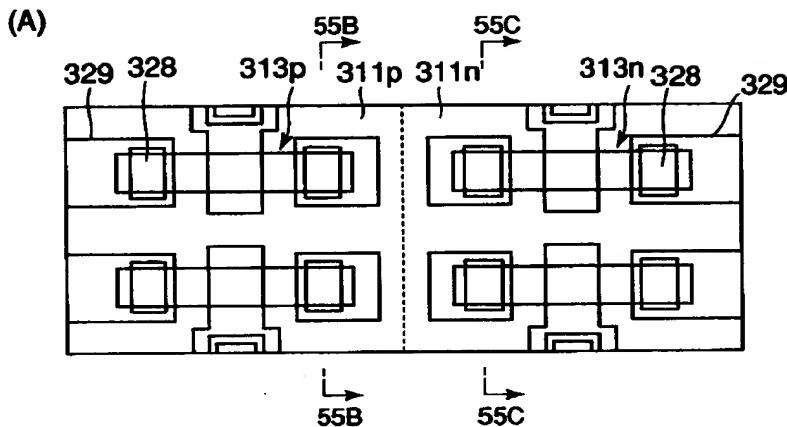
【図53】



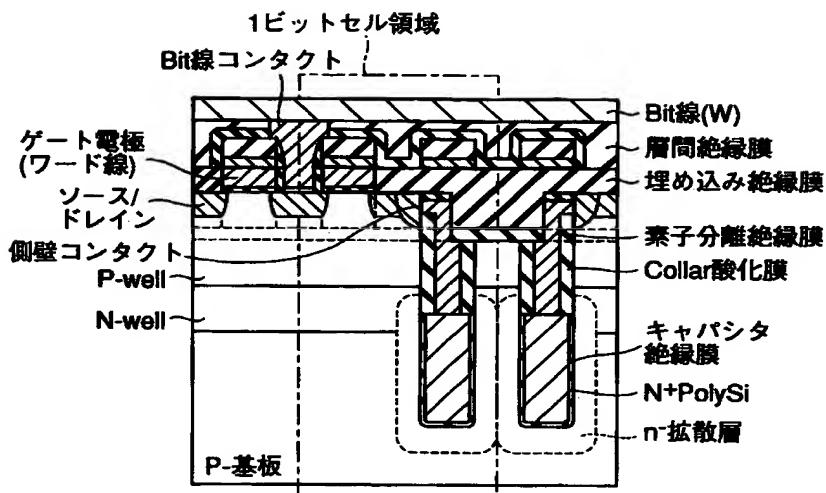
【図54】



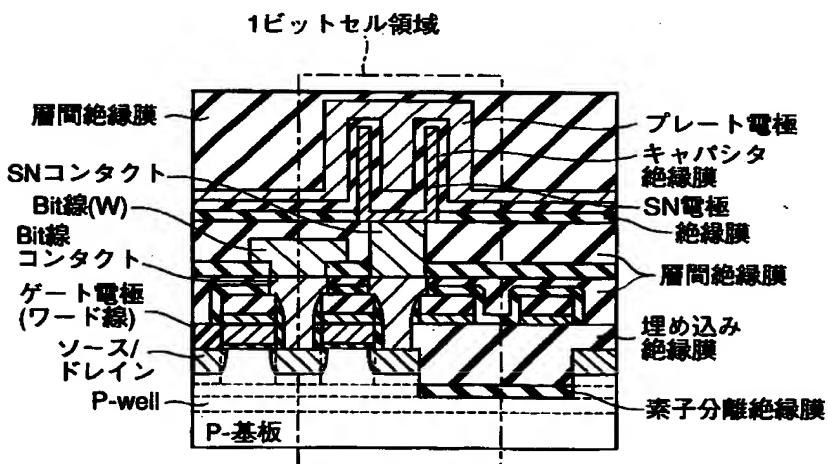
【図55】



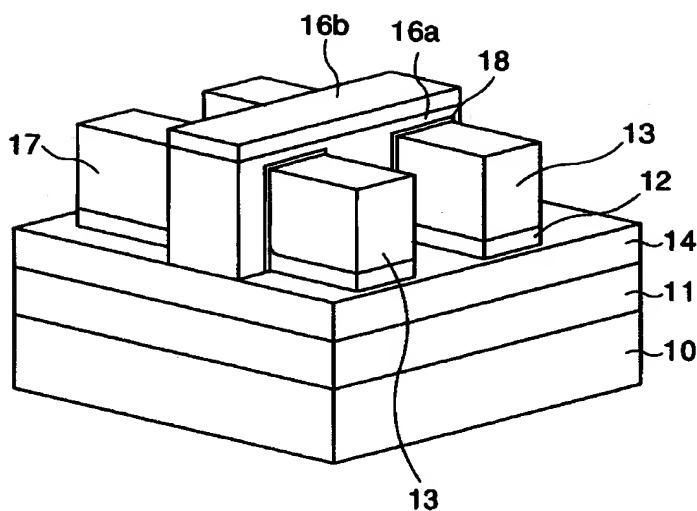
【図56】



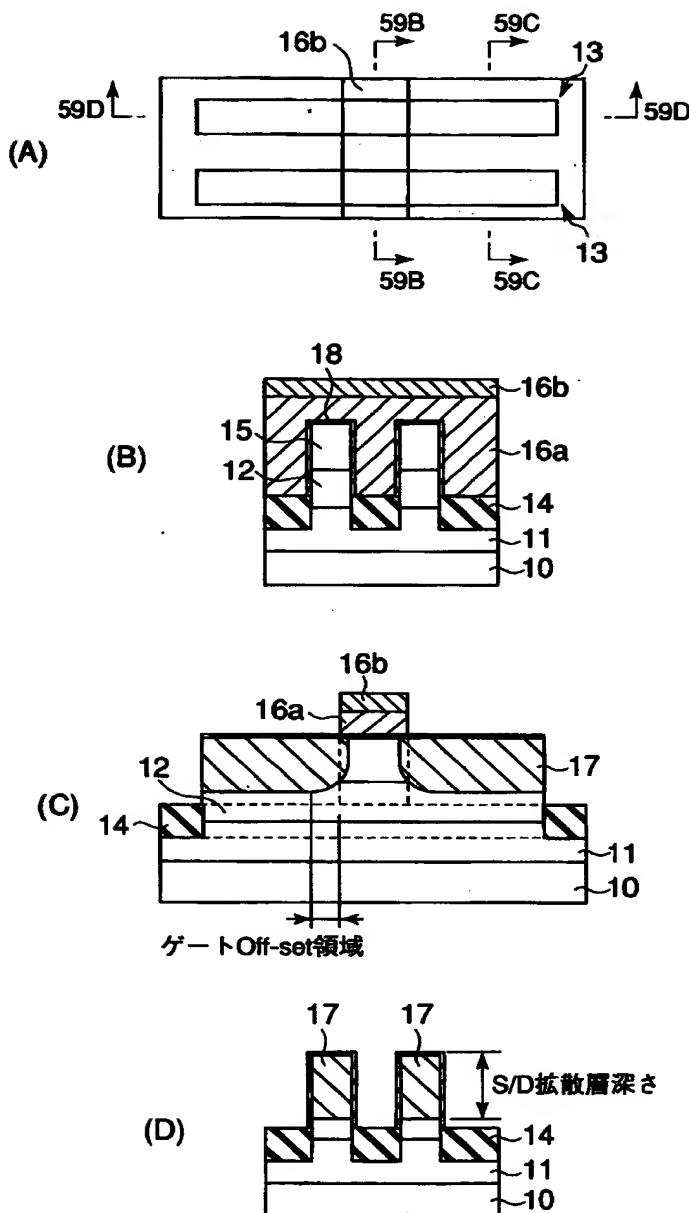
【図57】



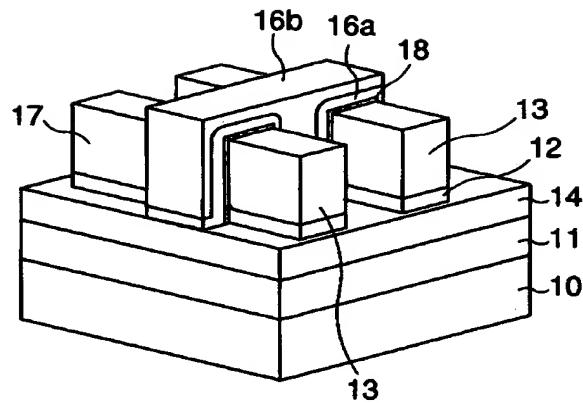
【図58】



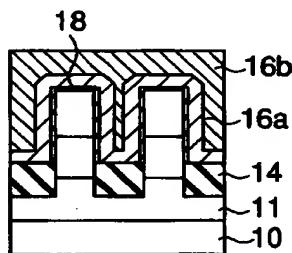
【図59】



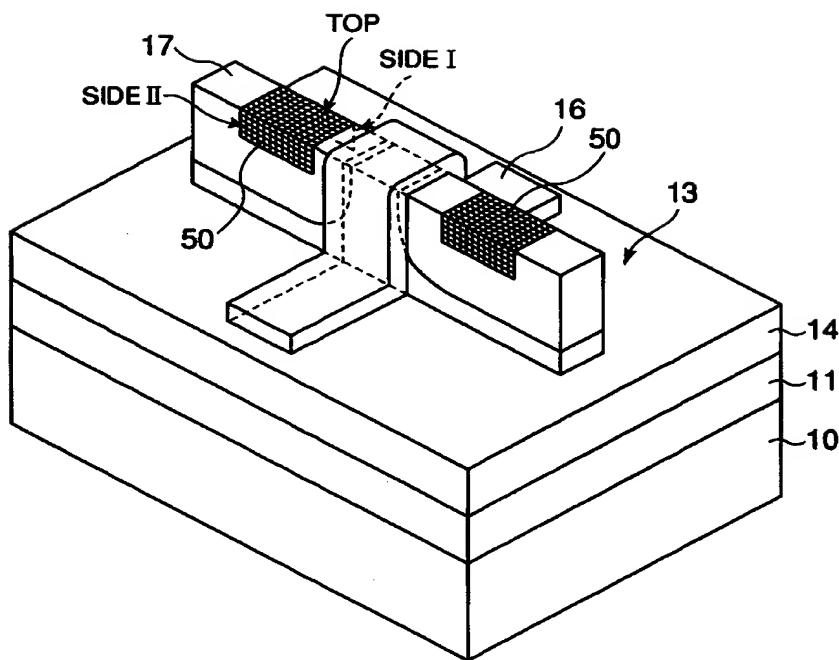
【図60】



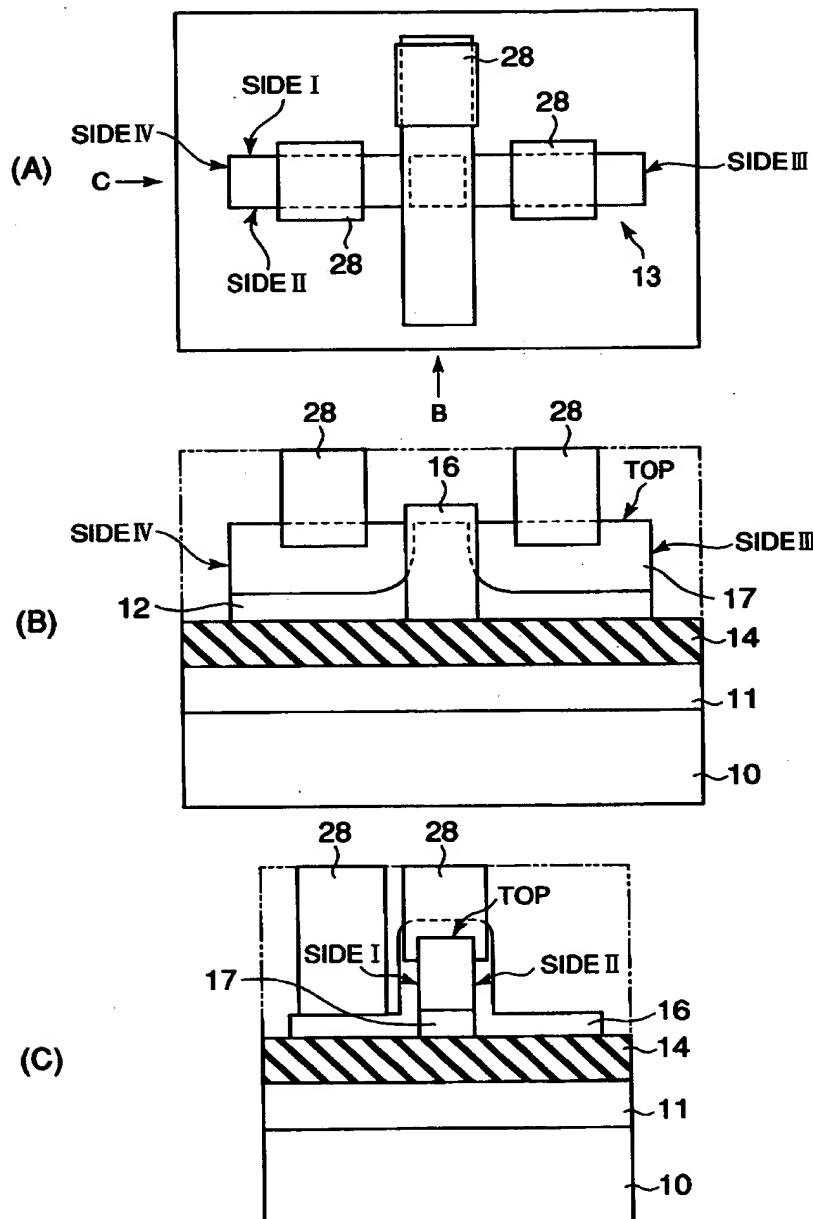
【図61】



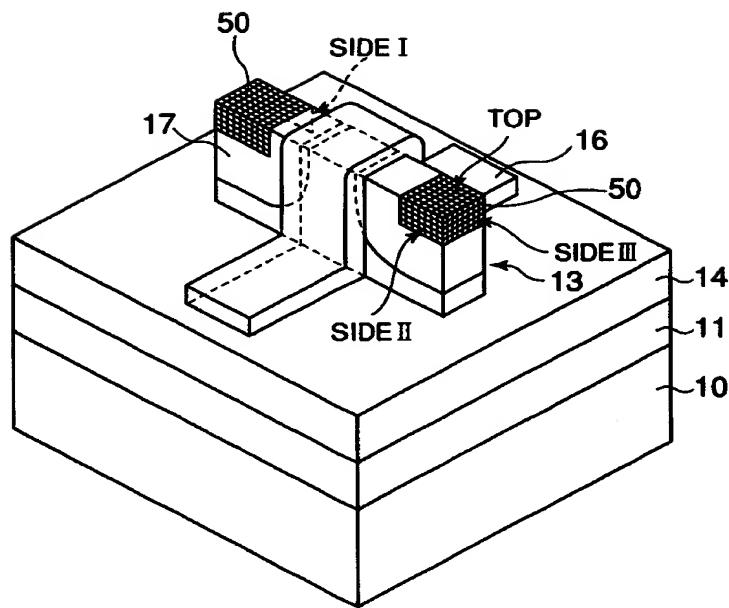
【図62】



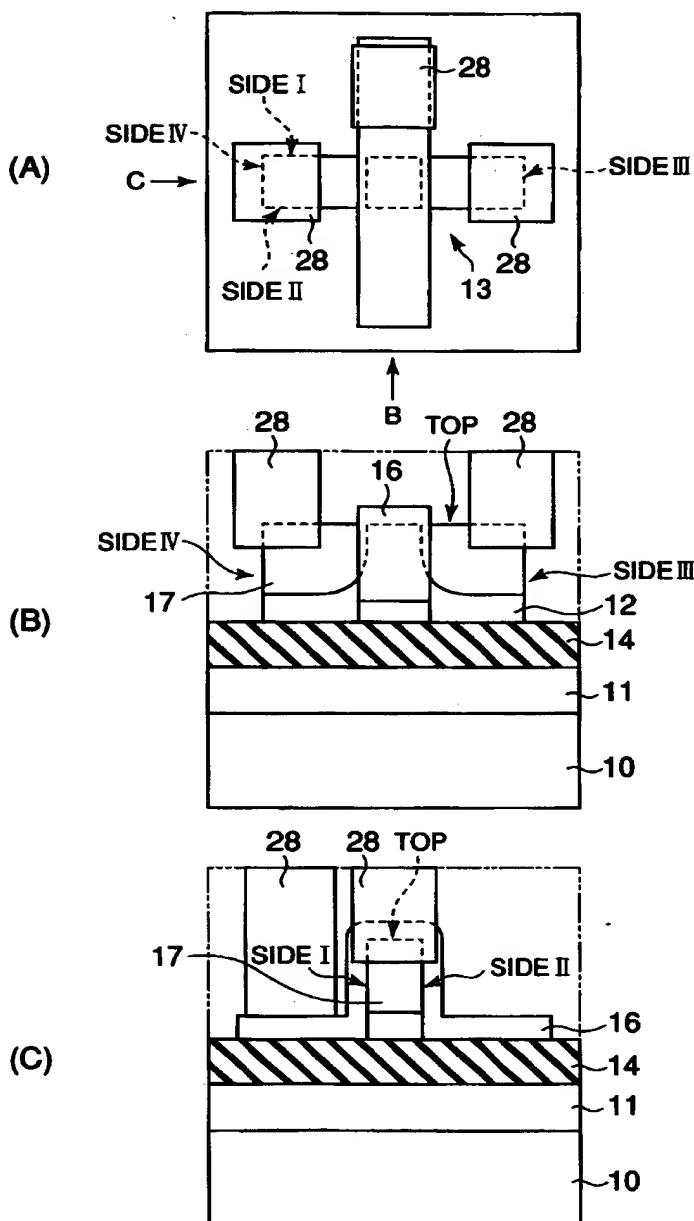
[図63]



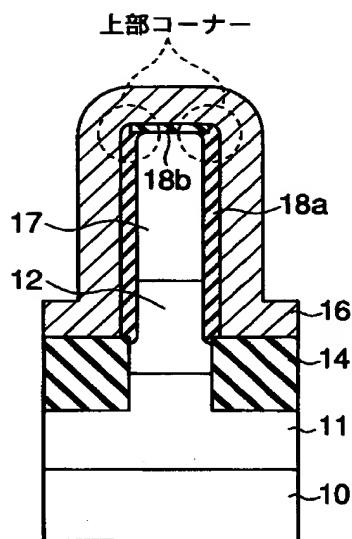
【図64】



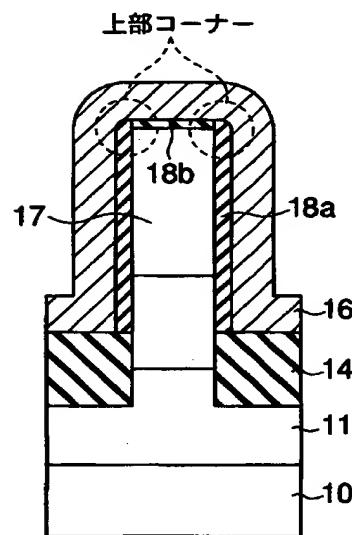
[図65]



【図66】

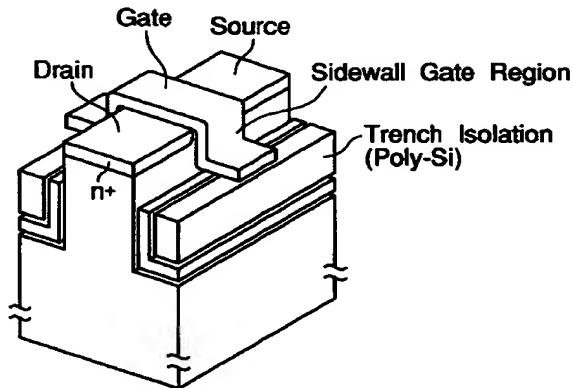


【図67】



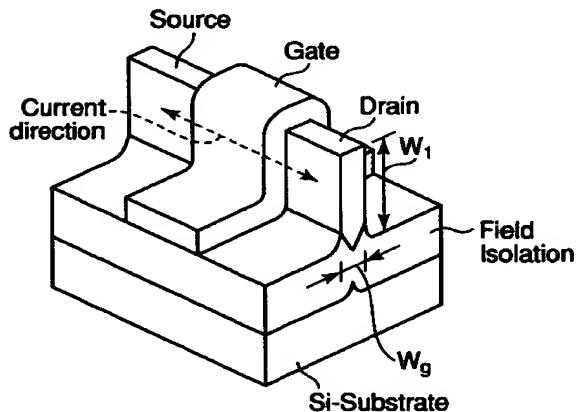
【図6.8】

Trench Isolated (TIS) Transistor (1987 IEDM)



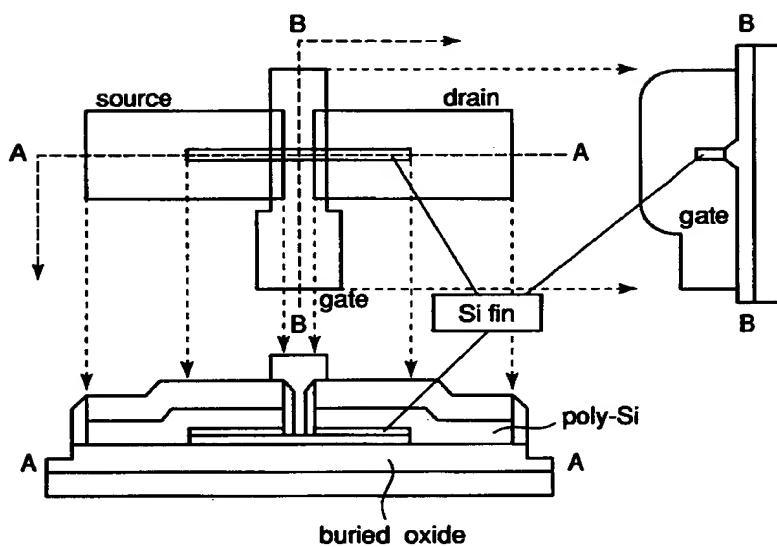
【図6.9】

DELTA構造 (1989 IEDM)



【図70】

Folded-channel MOSFFT (1998 IEDM)



【書類名】 要約書

【要約】

【課題】 カットオフ特性の改善を図ることが可能な構造を持つ、少なくとも凸状半導体層の側面をチャネル領域として使う半導体装置を提供すること。

【解決手段】 凸状薄膜S i層13内に形成されたソース／ドレイン領域17と、これらソース／ドレイン領域間の凸状薄膜S i層13内に規定されたチャネル領域15と、凸状薄膜S i層13の上面およびその互いに相対する2つの側面に沿って、凸状薄膜S i層13と絶縁された状態で形成され、少なくとも凸状薄膜S i層13の側面を介して、チャネル領域15に電界効果を及ぼすゲート電極16とを具備する。そして、凸状薄膜S i層13の側面において、ソース領域とドレイン領域との間の距離を、上部領域において短く、下部になるに従って広くする。

【選択図】 図2

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日

[変更理由] 新規登録

住 所 神奈川県川崎市幸区堀川町72番地

氏 名 株式会社東芝